

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kazuya NISHIHORI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: HETEROJUNCTION TYPE COMPOUND SEMICONDUCTOR FIELD EFFECT TRANSISTOR AND ITS MANUFACTURING METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-358337	December 10, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)  
☐ are submitted herewith  
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

C. Irvin McClelland  
Registration Number 21,124

0381462

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 2 月 1 0 日  
Date of Application:

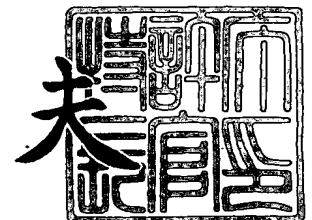
出 願 番 号                      特 願 2 0 0 2 - 3 5 8 3 3 7  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 5 8 3 3 7 ]

出 願 人                      株式会社東芝  
Applicant(s):

2 0 0 3 年 1 0 月 1 5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 8 4 6 3 5

【書類名】 特許願

【整理番号】 A000205120

【提出日】 平成14年12月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/744

【発明の名称】 ヘテロ接合型化合物半導体電界効果トランジスタ及びその製造方法

【請求項の数】 11

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

【氏名】 西堀 一弥

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

【氏名】 越智 雅範

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

【氏名】 野田 隆夫

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

【氏名】 寒河江 美友

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

【氏名】 本明 謙二

## 【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

## 【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

## 【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

## 【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

## 【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

## 【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

## 【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

**【選任した代理人】****【識別番号】** 100070437**【弁理士】****【氏名又は名称】** 河井 将次**【手数料の表示】****【予納台帳番号】** 011567**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 ヘテロ接合型化合物半導体電界効果トランジスタ及びその製造方法

【特許請求の範囲】

【請求項 1】 化合物半導体基板上に設けられ、イントリンシック型のGaAsまたはInGaAsからなるチャネル層と、

前記チャネル層上に設けられ、n型不純物が添加されたAlGaAsからなる第1の電子供給層と、

前記第1の電子供給層上に設けられ、イントリンシック型のInGaPからなる電界強度緩和層と、

前記電界強度緩和層上に設けられ、n型不純物が添加されたGaAsまたはInGaAsからなる第1のコンタクト層と、

前記第1のコンタクト層上に設けられ、イントリンシック型のInGaPからなるリセスストッパ層と、

前記リセスストッパ層上に設けられ、n型不純物が前記第1のコンタクト層よりも高濃度に添加されたGaAsからなる第2のコンタクト層と、

前記リセスストッパ層の表面を露出させるように、前記第2のコンタクト層を貫通して形成されたワイドリセス開口と、

前記ワイドリセス開口内に、前記第1の電子供給層の表面を露出させるように、前記リセスストッパ層、前記第1のコンタクト層及び前記電界強度緩和層を貫通して形成されたナロウリセス開口と、

前記ナロウリセス開口内の底部に露出させた前記第1の電子供給層の表面上に設けられたゲート電極と、

前記ワイドリセス開口の外側の前記第2のコンタクト層上に、前記ワイドリセス開口を挟むように設けられたソース電極及びドレイン電極と

を具備することを特徴とするヘテロ接合型化合物半導体電界効果トランジスタ。

【請求項 2】 化合物半導体基板上に設けられ、イントリンシック型のGaAsまたはInGaAsからなるチャネル層と、

前記チャンネル層上に設けられ、n 型不純物が添加されたAlGaAsからなる第 1 の電子供給層と、

前記第 1 の電子供給層上に設けられ、イントリンシック型のInGaPからなる電界強度緩和層と、

前記電界強度緩和層上に設けられ、n 型不純物が添加されたGaAsまたはInGaAsからなる第 1 のコンタクト層と、

前記第 1 のコンタクト層上に設けられ、イントリンシック型のInGaPからなるリセスストッパ層と、

前記リセスストッパ層上に設けられ、n 型不純物が前記第 1 のコンタクト層よりも高濃度に添加されたGaAsからなる第 2 のコンタクト層と、

前記第 1 のコンタクト層の表面を露出させるように、前記第 2 のコンタクト層及び前記リセスストッパ層を貫通して形成されたワイドリセス開口と、

前記ワイドリセス開口内に、前記第 1 の電子供給層の表面を露出させるように、前記第 1 のコンタクト層及び前記電界強度緩和層を貫通して形成されたナロウリセス開口と、

前記ナロウリセス開口内の底部に露出させた前記第 1 の電子供給層の表面上に設けられたゲート電極と、

前記ワイドリセス開口の外側の前記第 2 のコンタクト層上に、前記ワイドリセス開口を挟むように設けられたソース電極及びドレイン電極と

を具備することを特徴とするヘテロ接合型化合物半導体電界効果トランジスタ。

【請求項 3】 化合物半導体基板上に設けられ、イントリンシック型のGaAsまたはInGaAsからなるチャンネル層と、

前記チャンネル層上に設けられ、n 型不純物が添加されたAlGaAsからなる第 1 の電子供給層と、

前記第 1 の電子供給層上に設けられ、イントリンシック型のInGaPからなる電界強度緩和層と、

前記電界強度緩和層上に設けられ、n 型不純物が添加されたGaAsまたはInGaAsからなる第 1 のコンタクト層と、

前記第1のコンタクト層上に設けられ、イントリンシック型のInGaPからなるリセスストップ層と、

前記リセスストップ層上に設けられ、n型不純物が前記第1のコンタクト層よりも高濃度に添加されたGaAsからなる第2のコンタクト層と、

前記リセスストップ層の表面を露出させるように、前記第2のコンタクト層を貫通して形成されたワイドリセス開口と、

前記ワイドリセス開口内に、前記電界強度緩和層の表面を露出させるように、前記リセスストップ層及び前記第1のコンタクト層を貫通して形成されたナロウリセス開口と、

前記ナロウリセス開口内の底部に露出させた前記電界強度緩和層の表面上に設けられたゲート電極と、

前記ワイドリセス開口の外側の前記第2のコンタクト層上に、前記ワイドリセス開口を挟むように設けられたソース電極及びドレイン電極と

を具備することを特徴とするヘテロ接合型化合物半導体電界効果トランジスタ。

【請求項4】 化合物半導体基板上に設けられ、イントリンシック型のGaAsまたはInGaAsからなるチャンネル層と、

前記チャンネル層上に設けられ、n型不純物が添加されたAlGaAsからなる第1の電子供給層と、

前記第1の電子供給層上に設けられ、イントリンシック型のInGaPからなる電界強度緩和層と、

前記電界強度緩和層上に設けられ、n型不純物が添加されたGaAsまたはInGaAsからなる第1のコンタクト層と、

前記第1のコンタクト層上に設けられ、イントリンシック型のInGaPからなるリセスストップ層と、

前記第1のリセスストップ層上に設けられ、n型不純物が前記第1のコンタクト層よりも高濃度に添加されたGaAsからなる第2のコンタクト層と、

前記第1のコンタクト層の表面を露出させるように、前記第2のコンタクト層及び前記リセスストップ層を貫通して形成されたワイドリセス開口と、



前記ワイドリセス開口内に、前記電界強度緩和層の表面を露出させるように、前記第1のコンタクト層を貫通して形成されたナロウリセス開口と、

前記ナロウリセス開口内の底部に露出させた前記電界強度緩和層の表面上に設けられたゲート電極と、

前記ワイドリセス開口の外側の前記第2のコンタクト層上に、前記ワイドリセス開口を挟むように設けられたソース電極及びドレイン電極と

を具備することを特徴とするヘテロ接合型化合物半導体電界効果トランジスタ。

【請求項5】 前記電界強度緩和層及び前記リセスストッパ層の厚さは、前記第1のコンタクト層よりも薄いことを特徴とする請求項1乃至請求項4いずれか1つの項に記載のヘテロ接合型化合物半導体電界効果トランジスタ。

【請求項6】 前記化合物半導体基板は、半絶縁性GaAs基板と、この半絶縁性GaAs基板上に設けられた超格子構造のバッファ層と、このバッファ層上で且つ前記チャネル層下に設けられ、n型不純物が添加されたAlGaAsからなる第2の電子供給層とを含むことを特徴とする請求項1乃至請求項5いずれか1つの項に記載のヘテロ接合型化合物半導体電界効果トランジスタ。

【請求項7】 化合物半導体基板上にイントリンシック型のGaAsまたはInGaAsからなるチャネル層を堆積形成する工程と、

前記チャネル層上にAlGaAsからなる第1の電子供給層を堆積形成する工程と、

前記電子供給層上にイントリンシック型のInGaPからなる電界強度緩和層を堆積形成する工程と、

前記電界強度緩和層上にn型不純物が添加されたGaAsまたはInGaAsからなる第1のコンタクト層を堆積形成する工程と、

前記第1のコンタクト層上にイントリンシック型のInGaPからなるリセスストッパ層を堆積形成する工程と、

前記リセスストッパ層上に、n型不純物が前記第1のコンタクト層よりも高濃度に添加されたGaAsからなる第2のコンタクト層を堆積形成する工程と、

前記リセスストッパ層をストッパとして用いて、前記第2のコンタクト層をウェットエッチングし、この第2のコンタクト層を貫通するワイドリセス開口を形

成する工程と、

前記ワイドリセス開口の外側の前記第2のコンタクト層上に、前記ワイドリセス開口を挟むようにソース電極及びドレイン電極を形成する工程と、

前記電界強度緩和層をストッパとして用いて、前記ワイドリセス開口内の前記第1のコンタクト層をウェットエッチングする工程と、

前記第1の電子供給層をストッパとして用いて、前記ナロウリセス開口内の前記電界強度緩和層をウェットエッチングし、前記リセスストッパ層、前記第1のコンタクト層及び前記電界強度緩和層を貫通するナロウリセス開口を形成する工程と、

前記ナロウリセス開口内の底部に露出された前記第1の電子供給層の表面上に、ゲート電極を形成する工程と

を具備することを特徴とするヘテロ接合型化合物半導体電界効果トランジスタの製造方法。

【請求項8】 化合物半導体基板上にイントリンシック型のGaAsまたはInGaAsからなるチャネル層を堆積形成する工程と、

前記チャネル層上にAlGaAsからなる第1の電子供給層を堆積形成する工程と、

前記電子供給層上にイントリンシック型のInGaPからなる電界強度緩和層を堆積形成する工程と、

前記電界強度緩和層上にn型不純物が添加されたGaAsまたはInGaAsからなる第1のコンタクト層を堆積形成する工程と、

前記第1のコンタクト層上にイントリンシック型のInGaPからなるリセスストッパ層を堆積形成する工程と、

前記リセスストッパ層上に、n型不純物が前記第1のコンタクト層よりも高濃度に添加されたGaAsからなる第2のコンタクト層を堆積形成する工程と、

前記リセスストッパ層をストッパとして用いて、前記第2のコンタクト層をウェットエッチングする工程と、

前記第1のコンタクト層をストッパとして用いて、前記リセスストッパ層をウェットエッチングし、前記第2のコンタクト層及び前記リセスストッパ層を貫通するワイドリセス開口を形成する工程と、

前記ワイドリセス開口の外側の前記第2のコンタクト層上に、前記ワイドリセス開口を挟むようにソース電極及びドレイン電極を形成する工程と、

前記電界強度緩和層をストッパとして用いて、前記ワイドリセス開口内の前記第1のコンタクト層をウェットエッチングする工程と、

前記第1の電子供給層をストッパとして用いて、前記ナロウリセス開口内の前記電界強度緩和層をウェットエッチングし、前記第1のコンタクト層及び前記電界強度緩和層を貫通する前記ナロウリセス開口を形成する工程と、

前記リセス開口内の底部に露出された前記電子供給層の表面上にゲート電極を形成する工程と

を具備することを特徴とするヘテロ接合型化合物半導体電界効果トランジスタの製造方法。

【請求項9】 化合物半導体基板上にイントリンシック型のGaAsまたはInGaAsからなるチャネル層を堆積形成する工程と、

前記チャネル層上にAlGaAsからなる電子供給層を堆積形成する工程と、

前記第1の電子供給層上にイントリンシック型のInGaPからなる電界強度緩和層を堆積形成する工程と、

前記電界強度緩和層上にn型不純物が添加されたGaAsまたはInGaAsからなる第1のコンタクト層を堆積形成する工程と、

前記第1のコンタクト層上にイントリンシック型のInGaPからなるリセスストッパ層を堆積形成する工程と、

前記リセスストッパ層上に、n型不純物が前記第1のコンタクト層よりも高濃度に添加されたGaAsからなる第2のコンタクト層を堆積形成する工程と、

前記リセスストッパ層をストッパとして用いて、前記第2のコンタクト層をウェットエッチングし、この第2のコンタクト層を貫通するワイドリセス開口を形成する工程と、

前記ワイドリセス開口の外側の前記第2のコンタクト層上に、前記ワイドリセス開口を挟むようにソース電極及びドレイン電極を形成する工程と、

前記第1のコンタクト層をストッパとして用いて、前記ワイドリセス開口内の前記リセスストッパ層をウェットエッチングする工程と、

前記電界強度緩和層をストッパとして用いて、前記ワイドリセス開口内の前記第1のコンタクト層をウェットエッチングし、前記リセスストッパ層及び前記第1のコンタクト層を貫通するナロウリセス開口を形成する工程と、

前記ナロウリセス開口内の底部に露出された前記電界強度緩和層の表面上にゲート電極を形成する工程と

を具備することを特徴とするヘテロ接合型化合物半導体電界効果トランジスタの製造方法。

【請求項10】 化合物半導体基板上にイントリンシック型のGaAsまたはInGaAsからなるチャンネル層を堆積形成する工程と、

前記チャンネル層上にAlGaAsからなる第1の電子供給層を堆積形成する工程と、

前記電子供給層上にイントリンシック型のInGaPからなる電界強度緩和層を堆積形成する工程と、

前記電界強度緩和層上にn型不純物が添加されたGaAsまたはInGaAsからなる第1のコンタクト層を堆積形成する工程と、

前記第1のコンタクト層上にイントリンシック型のInGaPからなるリセスストッパ層を堆積形成する工程と、

前記リセスストッパ層上に、n型不純物が前記第1のコンタクト層よりも高濃度に添加されたGaAsからなる第2のコンタクト層を堆積形成する工程と、

前記リセスストッパ層をストッパとして用いて、前記第2のコンタクト層をウェットエッチングする工程と、

前記第1のコンタクト層をストッパとして用いて、前記リセスストッパ層をウェットエッチングし、第2のコンタクト層及び前記リセスストッパ層を貫通するワイドリセス開口を形成する工程と、

前記ワイドリセス開口の外側の前記第2のコンタクト層上に、前記ワイドリセス開口を挟むようにソース電極及びドレイン電極を形成する工程と、

前記電界強度緩和層をストッパとして用いて、前記ワイドリセス開口内の前記第1のコンタクト層をウェットエッチングし、前記第1のコンタクト層を貫通するナロウリセス開口を形成する工程と、

前記ナロウリセス開口内の底部に露出された前記電界強度緩和層の表面上にゲ

ート電極を形成する工程と

を具備することを特徴とするヘテロ接合型化合物半導体電界効果トランジスタの製造方法。

【請求項 1 1】 前記化合物半導体基板は、半絶縁性GaAs基板と、この半絶縁性GaAs基板上に堆積形成された超格子構造のバッファ層と、このバッファ層上で且つ前記チャネル層下に堆積形成され、n型不純物が添加されたAlGaAsからなる第2の電子供給層とを含むことを特徴とする請求項7乃至請求項10いずれか1つの項に記載のヘテロ接合型化合物半導体電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は半導体装置に係り、特にヘテロ接合型化合物半導体電荷効果トランジスタ及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

近年、ヘテロ接合を利用した高周波用化合物半導体電界効果トランジスタが注目されている。これらの高周波用電界効果トランジスタは、GaAs等の化合物半導体基板上に化合物半導体層を積層並びに加工して作製され、高出力増幅器、スイッチ、低雑音増幅器等に応用されている。特に高出力増幅器に応用する場合には、高耐圧と低い $g_m$ がともに要求される。高耐圧と低い寄生抵抗が要求される電界効果トランジスタでは、ダブルリセスと呼ばれる構造を採用することが多い。ダブルリセス構造は、コンタクト層を2段階にリセスすることで、耐圧の確保と寄生抵抗の低減の両立をはかろうとする技術である。ダブルリセス構造においては、第1のリセス開口（ワイドリセス開口）の深さと第2のリセス開口（ナロウリセス開口）の深さはともに、電界効果トランジスタにおける最大ドレイン電流や相互コンダクタンス等の特性を決定する。従って、2段階のリセスを形成するにあたっては、高い製造歩留まりを得るために第1のリセス開口の深さと第2のリセス開口の深さの制御が重要となる。このため、リセスエッチングプロセスには高い精度が要求される。また、リセスエッチングプロセスには、特性劣化の原因と

なるようなダメージを基板に与えないことも要求される。基板にダメージを与えずに正確なリセス深さを得るために、材料によってエッチング速度が異なることを利用するウェットエッチング法が使われる（例えば、特許文献1参照）。

#### 【0003】

図25は、従来のヘテロ接合型電界効果トランジスタの断面構造を示している。この電界効果トランジスタは、半絶縁性GaAs基板111上に、バッファ層112、n型不純物が添加されたAlGaAsからなる電子供給下層113、不純物が添加されていないGaAsまたはInGaAsからなる半導体チャネル層114、n型不純物が添加されたAlGaAsからなる電子供給層115、n型不純物が添加されたn-InGaPからなるコンタクト下層116及びn型不純物が添加されたGaAsからなるコンタクト上層117が順次積層された構造である。上記コンタクト上層117を貫通してワイドリセス開口131が形成されており、このワイドリセス開口の内部にコンタクト下層116を貫通してナロウリセス開口132が形成されている。該ナロウリセス開口の底部に露出した電子供給層115の表面には、ゲート電極122が形成され、上記ワイドリセス開口を挟んだコンタクト上層117の表面にはソース電極120とドレイン電極121がそれぞれ形成されている。

#### 【0004】

従来技術では、このようなダブルリセス構造を高精度で形成するために、リセスエッチング時に用いるエッチャントの種類によって、InGaPとGaAs、またはInGaPとInGaAsの選択性が大きく異なることを利用している。例えばH<sub>3</sub>PO<sub>4</sub>（燐リン酸）系のエッチャントでは、InGaAs或いはGaAsがエッチングされるのに対してInGaPはほとんどエッチングされない。一方、HCl（塩酸）系のエッチャントでは、InGaAs或いはGaAsがほとんどエッチングされないのに対してInGaPは大きくエッチングされることを利用している。すなわち、H<sub>3</sub>PO<sub>4</sub>系のエッチャントを用いた第1のリセスエッチングでGaAsコンタクト上層117をエッチングすると、エッチングはInGaPコンタクト下層116の表面で実質的に停止する。次に、HCl系のエッチャントを用いた第2のリセスエッチングでInGaPコンタクト下層116をエッチングすると、エッチングはInGaPコンタクト下層116の下に形成されたAlGaAs電子供給層115の表面で実質的に停止する。このようにして、第1のリ

セスエッチングと第2のリセスエッチングを正確に制御できる。

【0005】

【特許文献1】

特開平7-335867号公報（要約書、図1）

【0006】

【発明が解決しようとする課題】

従来のヘテロ接合型化合物半導体電界効果トランジスタでは、ソース電極120より供給された電子は $n^+$ -GaAsからなる低抵抗なコンタクト上層117を流れた後、 $n$ -InGaPコンタクト下層116を流れる。そして、チャネル層114を通じて再び $n$ -InGaP下層116を流れ、低抵抗コンタクト上層117を流れた後にドレイン電極121へ流れ込む。

【0007】

しかしながら、コンタクト下層116を構成するInGaPの電子の移動度は、GaAsやInGaAsのそれに比べて小さい。例えば $n$ -GaAsの移動度は濃度 $5 \times 10^{18} \text{cm}^{-3}$ において $1700 \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$ であるのに対して、 $n$ -InGaPの移動度は濃度 $2 \times 10^{18} \text{cm}^{-3}$ において $800 \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$ である。ソース電極120及びドレイン電極121と直接接触する $n^+$ -GaAsコンタクト上層117は、良好なオーミック特性を得るために $n$ 型不純物が高い濃度で添加されて低抵抗となっている。このため、コンタクト下層116の抵抗値は、トランジスタのソース抵抗等の寄生抵抗に大きく影響する。

【0008】

上述したような構成では、電子が移動度の低い $n$ -InGaPコンタクト下層116を流れなければならないため、トランジスタの寄生抵抗が増大するという問題が生じる。トランジスタの寄生抵抗が増大すると、トランジスタの相互コンダクタンスの低下や最大ドレイン電流の低下が生じる。このトランジスタを高周波電力増幅器に応用した場合には利得の低下、高周波スイッチに応用した場合には挿入損失の増大となってその影響が現れる。

【0009】

本発明は上記のような事情を鑑みてなされたもので、寄生抵抗を低減できるヘテロ接合型化合物半導体電界効果トランジスタ及びを提供することを目的とする

。

### 【0010】

また、選択ウェットエッチング法により比較的容易にダブルリセス構造を形成できるヘテロ接合型化合物半導体電界効果トランジスタの製造方法を提供することを目的とする。

### 【0011】

#### 【課題を解決するための手段】

この発明のヘテロ接合型化合物半導体電界効果トランジスタは、化合物半導体基板上に設けられ、イントリンシック型のGaAsまたはInGaAsからなるチャネル層と、前記チャネル層上に設けられ、n型不純物が添加されたAlGaAsからなる第1の電子供給層と、前記第1の電子供給層上に設けられ、イントリンシック型のInGaPからなる電界強度緩和層と、前記電界強度緩和層上に設けられ、n型不純物が添加されたGaAsまたはInGaAsからなる第1のコンタクト層と、前記第1のコンタクト層上に設けられ、イントリンシック型のInGaPからなるリセスストップ層と、前記リセスストップ層上に設けられ、n型不純物が前記第1のコンタクト層よりも高濃度に添加されたGaAsからなる第2のコンタクト層と、前記リセスストップ層の表面を露出させるように、前記第2のコンタクト層を貫通して形成されたワイドリセス開口と、前記ワイドリセス開口内に、前記第1の電子供給層の表面を露出させるように、前記リセスストップ層、前記第1のコンタクト層及び前記電界強度緩和層の表面を貫通して形成されたナロウリセス開口と、前記ナロウリセス開口内の底部に露出させた前記第1の電子供給層の表面上に設けられたゲート電極と、前記ワイドリセス開口の外側の前記第2のコンタクト層上に、前記ワイドリセス開口を挟むように設けられたソース電極及びドレイン電極とを具備することを特徴としている。

### 【0012】

また、この発明のヘテロ接合型化合物半導体電界効果トランジスタの製造方法は、化合物半導体基板上にイントリンシック型のGaAsまたはInGaAsからなるチャネル層を堆積形成する工程と、前記チャネル層上にAlGaAsからなる電子供給層を堆積形成する工程と、前記電子供給層上にイントリンシック型のInGaPからなる



電界強度緩和層を堆積形成する工程と、前記電界強度緩和層上に n 型不純物が添加されたGaAsまたはInGaAsからなる第 1 のコンタクト層を堆積形成する工程と、前記第 1 のコンタクト層上にイントリンシック型のInGaPからなるリセスストップ層を堆積形成する工程と、前記リセスストップ層上に、n 型不純物が前記第 1 のコンタクト層よりも高濃度に添加されたGaAsからなる第 2 のコンタクト層を堆積形成する工程と、前記リセスストップ層をストップとして用いて、前記第 2 のコンタクト層をウェットエッチングし、この第 2 のコンタクト層を貫通するワイドリセス開口を形成する工程と、前記ワイドリセス開口の外側の前記第 2 のコンタクト層上に、前記ワイドリセス開口を挟むようにソース電極及びドレイン電極を形成する工程と、前記電界強度緩和層をストップとして用いて、前記ワイドリセス開口内の前記第 1 のコンタクト層をウェットエッチングする工程と、前記電子供給層をストップとして用いて、前記ナロウリセス開口内の前記電界強度緩和層をウェットエッチングし、前記リセスストップ層、前記第 1 のコンタクト層及び前記電界強度緩和層を貫通するナロウリセス開口を形成する工程と、前記ナロウリセス開口内の底部に露出された前記電子供給層の表面上にゲート電極を形成する工程とを具備することを特徴としている。

#### 【0013】

上記のような構成によれば、下層の第 1 のコンタクト層に電子の移動度が高い n 型不純物が添加されたGaAsまたはInGaAsを用いたので、寄生抵抗を低減できる。これによって、トランジスタの相互コンダクタンスの低下や最大ドレイン電流の低下を抑制でき、高周波電力増幅器に応用した場合には利得の低下、高周波スイッチに応用した場合には挿入損失の増大を抑制及び出来る。また、電界強度緩和層によってゲート電極の端部近傍の電界集中を緩和して耐圧も向上できる。

#### 【0014】

上記のような製造方法によれば、各々が下層をストップにした選択ウェットエッチング法を用いて、高精度なりセスエッチング技術を保持することが出来る。

#### 【0015】

#### 【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。なおこの説明に

においては、全図にわたり共通の部分には共通の参照符号を付す。

### 【0016】

#### [第1の実施形態]

図1は本発明の第1の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタを模式的に表わす断面構造図である。図1に示す如く、半絶縁性GaAs基板11の上に、バッファ層12としてアンドープのGaAs層が、その上に下側の電子供給層13として $n\text{-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層が積層される。上記電子供給層13の上には、図示しない下側のスペーサ層として $i\text{-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層が形成される。この下側のスペーサ層上にチャネル層14として $i\text{-In}_{0.15}\text{Ga}_{0.85}\text{As}$ 層、このチャネル層14上に図示しない上側のスペーサ層として $i\text{-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層、及び上側のチャネル層14上に上側の電子供給層15として $n\text{-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層がそれぞれ積層される。上記電子供給層15上には、電界強度緩和層16として $i\text{-In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層、コンタクト下層17（第1のコンタクト層）として $n\text{-GaAs}$ 層、及びコンタクト上層18（第2のコンタクト層）として低抵抗の $n^+\text{-GaAs}$ 層がそれぞれ順次積層される。上記コンタクト下層17の上には、リセスストッパ層50として $i\text{-In}_{0.49}\text{Ga}_{0.51}\text{P}$ 層が積層され、このリセスストッパ層50の上にコンタクト上層18として低抵抗の $n^+\text{-GaAs}$ 膜が積層されている。このコンタクト上層18の表面には、ワイドリセス開口5を挟むようにAuGe/Ni/Auからなるソース電極20とドレイン電極21が形成されている。上記コンタクト上層18には、このコンタクト上層18を貫通してワイドリセス開口5が形成されている。このワイドリセス開口5の内部には、リセスストッパ層50、コンタクト下層17、及び電界強度緩和層16を貫通して、上記ワイドリセス開口5の開口幅よりも狭い幅を有するナロウリセス開口10が形成されている。そして、上記ナロウリセス開口10の底部に露出した上側の電子供給層15の表面には、例えばA1からなるゲート電極22が形成されている。

### 【0017】

上述のように、本第1の実施形態に係る電界効果トランジスタでは、ナロウリセス開口10が形成されたコンタクト下層17はn型の不純物が添加されたGaAsを含み、ワイドリセス開口5が形成されたコンタクト上層18は、n型の不純物

がより高濃度に添加され、低抵抗化されたGaAsを含んで形成される。また、電界強度緩和層 16 及びリセスストッパ層 50 はイントリンシック型のInGaPから形成されている。

#### 【0018】

次に、本実施形態に係る電界効果トランジスタの動作を詳説する。

#### 【0019】

半絶縁性GaAs基板 11 及びソース電極 20 が接地され、ゲート電極 22 に閾値電圧より高い電圧が印加されると、チャネル層 14 ( $i\text{-In}_{0.15}\text{Ga}_{0.85}\text{As}$ 層) に電子が通り得るチャネルが形成される。この状態でドレイン電極 21 に電圧が印加されると、ソース電極 20 から供給された電子が低抵抗のコンタクト上層 18 を流れる。この電子は、コンタクト下層 17 ( $n\text{-GaAs}$ 層) を主に流れてチャネル層 14 へ流れ、再びコンタクト下層 17 を主に流れてコンタクト上層 18 からドレイン電極 21 へと流れ込む。このようにして、ヘテロ接合型化合物半導体電界効果トランジスタのスイッチング動作が完了する。

#### 【0020】

本第 1 の実施形態に係る電界効果トランジスタにおいて、コンタクト下層 17 は、InGaPに比べて移動度の大きいGaAsで形成されるため、寄生抵抗を大きく低減することができる。よって、本第 1 の実施形態に係る半導体電界効果トランジスタは、低いオン抵抗であり、大きな最大ドレイン電流と大きな相互コンダクタンスを有する。

#### 【0021】

また、InGaPからなる電界強度緩和層 16 に不純物が意図的に添加されていない。即ち、電界強度緩和層 16 はイントリンシック型である。そのため、ゲート電極 22 の端部近傍における電界集中を緩和出来る。そして、上述の如く電子は移動度が比較的高いGaAsから形成されるコンタクト下層 17 を流れるため、寄生抵抗の増大を招くことなしに耐圧を向上する効果を有する。

#### 【0022】

次に、図 1 に示したヘテロ接合型電界効果トランジスタの製造方法について図 2 ～図 15 を用いて説明する。

## 【0023】

まず、半絶縁性GaAs基板11の上に、例えばMOCVD法またはMBE法を用いて、GaAsまたはGaAs/Al<sub>0.2</sub>Ga<sub>0.8</sub>Asの超格子構造よりなるバッファ層12を例えば500nmの厚さにエピタキシャル成長で形成する。続いて、上記バッファ層12上に、下側の電子供給層13としてSiを約 $2 \times 10^{18} \text{cm}^{-3}$ 添加したn-Al<sub>0.2</sub>Ga<sub>0.8</sub>As層を、例えば5nmの厚さにエピタキシャル成長で形成する。次に、上記電子供給層13上に、図示しない下側のスペーサ層として無添加のi-Al<sub>0.2</sub>Ga<sub>0.8</sub>As層を例えば5nmの厚さにエピタキシャル成長で形成する。引き続き、上記下側のスペーサ層上にチャンネル層14として無添加のi-In<sub>0.15</sub>Ga<sub>0.85</sub>As層を例えば15nmの厚さにエピタキシャル成長で形成する。その後、図示しない上側のスペーサ層として無添加のi-Al<sub>0.2</sub>Ga<sub>0.8</sub>As層を、例えば5nmの厚さにエピタキシャル成長で形成する。続いて、上記上側のスペーサ層上に、上側の電子供給層15としてSiを約 $1 \times 10^{19} \text{cm}^{-3}$ 添加したn-Al<sub>0.2</sub>Ga<sub>0.8</sub>As層を例えば5nmの厚さに、Siを約 $7 \times 10^{17} \text{cm}^{-3}$ 添加したn-Al<sub>0.2</sub>Ga<sub>0.8</sub>As層を例えば7nmの厚さにそれぞれエピタキシャル成長で形成する。続いて電界強度緩和層16として無添加のi-In<sub>0.48</sub>Ga<sub>0.52</sub>P層を例えば5nmの厚さに形成する。その後、上記電界強度緩和層16上に、コンタクト下層17としてSiを約 $4 \times 10^{18} \text{cm}^{-3}$ 添加したn-As層を例えば20nmの厚さにエピタキシャル成長で形成する。次に、このコンタクト下層17上に、リセスストッパ層50としてi-In<sub>0.49</sub>Ga<sub>0.51</sub>P層を例えば3nmの厚さにエピタキシャル成長で形成する。次に、このリセスストッパ層50の上に、コンタクト上層18としてSiを約 $5 \times 10^{18} \text{cm}^{-3}$ 添加したn<sup>+</sup>-GaAs膜を、例えば100nmの厚さにエピタキシャル成長で形成する。そして、上記コンタクト上層18上に、SiO<sub>2</sub>からなる絶縁膜30を形成する(図2)。

## 【0024】

ここで、上側の電子供給層15の一部として形成した、Siを約 $7 \times 10^{17} \text{cm}^{-3}$ 添加したn-Al<sub>0.2</sub>Ga<sub>0.8</sub>As層は、特にショットキー層と呼ばれることもあり、ショットキーゲート耐圧を向上させるためのものである。

## 【0025】

次に、上記絶縁膜30上にワイドリセス開口を形成するために、フォトレジスト31を塗布し、露光及び現像などの処理を行ってフォトレジスト31にワイド

リセス開口を形成するためのパターン 32 を形成する (図 3)。

#### 【0026】

次に、上記フォトリソistパターン 32 をマスクにして絶縁膜 30 を例えばRIE(Reactive Ion Etching)法でエッチングし、絶縁膜 30 にワイドリセス開口を形成するためのパターン 33 を形成する。その後、上記フォトリソistパターン 32 を剥離する (図 4)。

#### 【0027】

次に、パターンニングされた上記絶縁膜 30 をマスクにして、例えば $\text{H}_3\text{PO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ が3:1:50からなる $\text{H}_3\text{PO}_4$ 系エッチャントを用いてn型コンタクト上層 18 を貫通するようにウェットエッチングしてワイドリセス開口 5 を形成する。この時、リセスストッパ層 50 を $\text{H}_3\text{PO}_4$ 系エッチャントに対するストッパとして用いる (図 5)。

#### 【0028】

次に、ワイドリセス開口 5 の内部に、このワイドリセス開口幅より狭い幅を有するナロウリセス開口 10 を形成するために、まず $\text{SiO}_2$ からなる絶縁膜 35 を全面に形成する (図 6)。次に、フォトリソist 36 を塗布した後、露光及び現像などの処理を行って開口パターン 37 を形成する。そして、上記フォトリソist 36 をマスクにしてRIE法により絶縁膜 35 をエッチングし、絶縁膜 35 にナロウリセス開口を形成するためのパターン 38 を形成する。その後、上記フォトリソist 36 を剥離する (図 7、図 8)。

#### 【0029】

次に、リフトオフ法により、コンタクト上層 18 の表面に、ワイドリセス開口 5 を挟むように $\text{AuGe/Ni/Au}$ からなるソース電極 20 とドレイン電極 21 を形成する。

#### 【0030】

なお、これらのソース電極 20 とドレイン電極 21 は、次に記すゲート電極 22 を形成した後に形成してもよい (図 9)。

#### 【0031】

その後、ゲート電極 22 を形成するために、絶縁膜 35 上にフォトリソistパ

ターン 40 を形成する (図 10)。

#### 【0032】

次に、ナロウリセス開口 5 を形成するためのパターンが形成された絶縁膜 35 をマスクにして、例えば HCl からなるエッチャントを用いて、リセスストッパ層 50 を貫通してコンタクト層 17 の表面に達する開口 51-1 を形成する。この時、HCl では n-GaAs からなるコンタクト下層 17 はほとんどエッチングされないため、コンタクト層 17 の表面が露出した時点で、リセスエッチングは実質的にストップする (図 11)。即ち、コンタクト下層 17 はリセスストッパ層 50 をエッチングする時のストッパとして用いることが出来る。

#### 【0033】

次に、例えば  $\text{H}_3\text{PO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}$  が 3:1:50 からなる  $\text{H}_3\text{PO}_4$  系エッチャントを用いて、コンタクト下層 17 を貫通して電界強度緩和層 16 の表面に達する開口 51-2 を形成する。この時、 $\text{H}_3\text{PO}_4$  系エッチャントでは InGaP はほとんどエッチングされないため、電界強度緩和層 16 である  $\text{i-In}_{0.48}\text{Ga}_{0.52}\text{P}$  層の表面が露出した時点で、リセスエッチングは実質的に停止する (図 12)。よって、電界強度緩和層 16 をコンタクト層 17 をエッチングする時のストッパとして用いることが出来る。

#### 【0034】

その後、例えば HCl からなるエッチャントを用いて電界強度緩和層 16 ( $\text{i-In}_{0.48}\text{Ga}_{0.52}\text{P}$  層) を除去し、開口 51-3 を形成する。この時、HCl では n-GaAs からなるコンタクト下層 17 はほとんどエッチングされない。このため、選択的に電界強度緩和層 16 のみをエッチングすることが出来るのでエッチング深さを正確に制御出来る。そのため、所望のナロウリセス開口 5 を形成することが出来る (図 13)。

#### 【0035】

次に、ナロウリセス開口 5 の底部に露出した上側の電子供給層 15 の表面に、例えば Ti/Pt/Au または Ti/Al または Al からなるゲート電極 22 を、例えばリフトオフ法により形成する。このゲート電極 22 は高融点金属で形成してもよい。この場合には、高融点金属をスパッタ法により成膜し、反応性イオンエッチングに

よりパターニングしてゲート電極 22 を形成する。その後、上記フォトリジストパターン 40 を剥離する（図 14）。

#### 【0036】

最後に、全面に例えばSiNからなる保護膜 42 を形成し、本第 1 の実施形態に係るヘテロ接合型半導体電界効果トランジスタを完成する（図 15）。

#### 【0037】

本第 1 の実施形態では、コンタクト上層 18 とコンタクト下層 17 との間にInGaPからなるイントリンシック型のリセスストッパ層 50 が挿入されている。従って、ワイドリセス開口 5 を形成するリセスエッチング工程において、 $H_3PO_4$ 系エッチャントではInGaPからなるリセスストッパ層 50 はエッチング速度が非常に遅いので、専らGaAsからなるコンタクト上層 18 のみを選択的に除去することが出来る。その結果、正確なエッチング深さに制御できる。

#### 【0038】

また、ワイドリセス開口 5 の内側にナロウリセス開口 10 を形成するリセスエッチング工程では、InGaPからなる電界強度緩和層 16 とGaAsまたはInGaAsからなるコンタクト下層 17 を選択的にエッチングすることが出来る。そのため、やはり正確なエッチング深さに制御できる。

#### 【0039】

即ち、このようなリセス構造を形成するエッチング工程が正確に制御でき、本実施形態によるヘテロ接合型電界効果トランジスタの製造歩留まりが従来技術に比べて低下することはない。よって、本発明の第 1 の実施態様に係るヘテロ接合型化合物半導体電界効果トランジスタでは、高い製造歩留まりを維持しながら、高いゲート耐圧と大きな最大ドレイン電流を同時に両立するというダブルリセス構造の長所を生かすことができる。また、本実施形態によるヘテロ接合型化合物半導体電界効果トランジスタが、これらの性能が要求されるマイクロ波やミリ波領域での低雑音増幅器、線形増幅器、高出力増幅器等の用途に応用された場合には、飛躍的な性能向上と共に高い製造歩留まりも期待できる。

#### 【0040】

なお、InGaP層からなるリセスストッパ層 50 は、ウェットエッチングのスト

ツパとして機能するが、イントリンシック型であることからInGaP層を挿入したことによる電子伝導の問題は最小限に抑制されている。また、リセスストッパ層50の膜厚は、コンタクト下層17の膜厚よりも薄くすることが可能である。

#### 【0041】

##### [第2の実施形態]

図16は、本発明の第2の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタの構造を模式的に示す断面構造図である。以下においては、第1の実施形態と相違する部分について説明する。

#### 【0042】

図16に示すように、コンタクト上層18の低抵抗の $n^+$ -GaAs層及びリセスストッパ層50を貫通してワイドリセス開口5が形成されている。

#### 【0043】

本第2の実施形態に係る電界効果トランジスタの他の構成並びに動作は、第1の実施形態と同様であるのでその説明を省略する。

#### 【0044】

本実施形態に係るヘテロ接合型電界効果トランジスタの動作上の効果は、前述した第1の実施の形態と同様に、コンタクト下層17がInGaPに比べて電子の移動度の大きいGaAsから構成されていることにより、コンタクト下層17の電子の移動度が大きいため、寄生抵抗を大きく低減できるという点にある。さらに寄生抵抗が小さいため、低いオン抵抗、大きな最大ドレイン電流、及び大きな相互コンダクタンスを有する。

#### 【0045】

また、本実施形態によるヘテロ接合型電界効果トランジスタでは、InGaPからなる電界強度緩和層16がイントリンシック型である。そのため、ゲート電極22の端部近傍における電界集中を緩和できる。上述の如く電子は移動度が比較的高いGaAsから形成されるコンタクト下層17を流れるため、寄生抵抗の増大を招くことなしにヘテロ接合型化合物半導体電界効果トランジスタの耐圧を向上できる。

#### 【0046】



次に、本第2の実施形態に係るヘテロ接合型電界効果トランジスタの製造方法について詳説する。

#### 【0047】

コンタクト上層18を形成するまでは、第1の実施形態と同様である。

#### 【0048】

次に、上記コンタクト上層18上にワイドリセス開口5を形成するためのフォトレジストパターンを形成し、このフォトレジストパターンをマスクにして絶縁膜をエッチングし、絶縁膜にワイドリセス開口5を形成するためのパターンを形成する。その後、上記フォトレジストパターンを剥離する。

#### 【0049】

引き続き、パターニングされた絶縁膜をマスクにして、例えば $\text{H}_3\text{PO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ が3:1:50からなる $\text{H}_3\text{PO}_4$ 系エッチャントを用いてn型コンタクト上層18を貫通するワイドリセス開口5を形成する。この時、 $\text{H}_3\text{PO}_4$ 系エッチャントではInGaPはほとんどエッチングされないため、リセスストッパ層50である $\text{i-In}_{0.49}\text{Ga}_{0.51}\text{P}$ 層の表面が露出した時点で、n型コンタクト上層18を貫通するリセスエッチングは実質的に停止する。すなわち、リセスストッパ層50をエッチングのストッパとして用いている。

#### 【0050】

次に、例えばHCl水溶液からなるエッチャントを用いて、リセスストッパ層50 ( $\text{i-In}_{0.49}\text{Ga}_{0.51}\text{P}$ 層)におけるワイドリセス開口5の底部の領域を除去する。この時、HCl水溶液ではn-GaAsまたはn-InGaAsからなるコンタクト下層17はほとんどエッチングされない。

#### 【0051】

次に、ワイドリセス開口5の内部に、このワイドリセス開口の幅より狭い幅を有するナロウリセス開口10を形成するために、まず $\text{SiO}_2$ からなる絶縁膜を全面に形成する。その後、この絶縁膜上にワイドリセス開口10を形成するためのフォトレジスト開口パターンを形成する。次に、上記フォトレジスト開口パターンをマスクにして絶縁膜をRIE法によりエッチングし、絶縁膜にナロウリセス開口を形成するためのパターンを形成する。その後、このフォトレジストパターンを

剥離する。

#### 【0052】

次に、ワイドリセス開口5を挟むようにコンタクト上層18の表面にAuGe/Ni/Auからなるソース電極20とドレイン電極21をリフトオフ法により形成する。なお、これらのソース電極20とドレイン電極21は、次に記すゲート電極22を形成した後に形成してもよい。

#### 【0053】

次に、上記絶縁膜上にフォトレジストを塗布し、パターンニングしてフォトレジストパターンを形成する。このフォトレジストパターンと上記絶縁膜をマスクにして、例えば $\text{H}_3\text{PO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ が3:1:50からなる $\text{H}_3\text{PO}_4$ 系エッチャントを用いてコンタクト下層17を貫通するようにウェットエッチングしてナロウリセス開口10を形成する。この時、 $\text{H}_3\text{PO}_4$ 系エッチャントではInGaPはほとんどエッチングされないため、電界強度緩和層16 (i-In<sub>0.49</sub>Ga<sub>0.51</sub>P層)の表面が露出した時点で、n型コンタクト下層17を貫通するリセスエッチングは実質的に停止する。

#### 【0054】

次に、例えばHCl水溶液からなるエッチャントを用いて電界強度緩和層16 (i-In<sub>0.49</sub>Ga<sub>0.51</sub>P層)を除去する。この時、HCl水溶液では上側の電子供給層15であるn-Al<sub>0.2</sub>Ga<sub>0.8</sub>As層はほとんどエッチングされない。

#### 【0055】

次に、ナロウリセス開口10の底部に露出した上側の電子供給層15 (n-Al<sub>0.2</sub>Ga<sub>0.8</sub>As層)の表面に例えばTi/Pt/AuまたはTi/AlまたはAlからなるゲート電極22を、例えばリフトオフ法により形成する。ここで、上記ゲート電極22は高融点金属で形成してもよい。この場合には、高融点金属をスパッタ法により成膜し、反応性イオンエッチングによりパターンニングしてゲート電極22を形成する。

#### 【0056】

最後に、全面にSiNからなる保護膜を形成し、ヘテロ接合型半導体電界効果トランジスタを完成する。

#### 【0057】

本第2の実施形態においても第1の実施形態と同様に、ワイドリセス開口5を形成するための第1のリセスエッチングでは、InGaPからなるリセスストッパ層50に対して選択的にGaAsからなるコンタクト上層18を $H_3PO_4$ 系のエッチャントにて除去できるため、エッチングの深さを正確に制御することができる。また、ワイドリセス開口5の内側に狭い開口を形成するための第2のリセスエッチングでは、InGaPからなる電界強度緩和層16に対して選択的にGaAsまたはInGaAsからなるコンタクト下層17を $H_3PO_4$ 系のエッチャントにて除去できる。そのため、やはりエッチングの深さを正確に制御することができる。

#### 【0058】

なお、本実施形態に係るヘテロ接合型電界効果トランジスタの製造方法は、リセス構造におけるエッチングが正確に制御できるという従来技術の利点を損なうことがない。また、製造歩留まりが低下することもない。従って、高い製造歩留まりを維持しながら、高いゲート耐圧と大きな最大ドレイン電流を同時に両立できるダブルリセス構造の利点をより高めることができる。よって、本発明によるヘテロ接合型化合物半導体電界効果トランジスタを、これらの性能が要求されるマイクロ波やミリ波領域での低雑音増幅器、線形増幅器、高出力増幅器等の用途に応用された場合には、飛躍的な性能向上とともに高い製造歩留まりが期待できる。

#### 【0059】

さらに、本実施形態によるヘテロ接合型化合物半導体電界効果トランジスタは、次に説明する製造過程における従来技術の問題を解決する。

#### 【0060】

図25に示した従来のヘテロ接合型化合物半導体電界効果トランジスタでは、その製造工程においてワイドリセス開口131の底部にn-InGaPからなるコンタクト下層116が露出した状態でナロウのリセス開口132を形成する。しかし、その場合に以下の問題が生じる。

#### 【0061】

ナロウリセス開口132を形成するにあたって、ワイドリセス開口131の底部に露出したn-InGaPからなる半導体コンタクト下層116の表面に $SiO_2$ 膜やSiN

膜からなる絶縁膜を形成した後にフォトレジストパターンを形成する。しかしながら、絶縁膜の形成においては300℃以上の高温を必要とし、その際にn-InGaPからなるコンタクト下層116の成分元素が解離してn-InGaPからなるコンタクト下層116が変性する。このように変性したn-InGaPからなるコンタクト下層はHCl水溶液からなるエッチャントでエッチングできなくなることがある。従って、ナロウリセス開口132を形成することができない。

#### 【0062】

さらに、微細なナロウリセス開口132を高精度で形成するために、絶縁膜をRIE法にてエッチングする際、n-InGaPからなるコンタクト下層116の表面が損傷を受け、やはりn-InGaPからなるコンタクト下層116が変性する。このように変性したn-InGaPからなるコンタクト下層116はHCl水溶液からなるエッチャントでエッチングできなくなることがある。従って、同様にナロウリセス開口132を形成することができない。

#### 【0063】

また、ワイドリセス開口5の底部に露出したn-InGaPからなる半導体コンタクト下層116の表面にSiO<sub>2</sub>膜やSiN膜からなる絶縁膜を形成するのではなく、直接にn-InGaPからなる半導体コンタクト下層116の表面にフォトレジストパターンを形成することもある。その場合にも200℃程度の熱工程が必要となるため、n-InGaPからなる半導体コンタクト下層116は少なからず変性する。このように変性したn-InGaPからなる半導体コンタクト下層116はHCl水溶液からなるエッチャントでエッチングできなくなることがあり、同様にナロウリセス開口132を形成することができない。

#### 【0064】

これに対して、本実施形態の発明によるヘテロ接合型化合物半導体電界効果トランジスタでは、ワイドリセス開口5の底部にはGaAsからなるコンタクト下層17またはInGaAsからなるコンタクト下層17が露出する。そのため、従来技術のようにナロウリセス開口10が形成できないという問題は発生しない。

#### 【0065】

以上の説明のように、InGaP層からなるリセスストッパ層50は、製造工程上

においてウェットエッチングのためのストッパとして機能し、InGaP層を用いたことによる電子伝導の問題は最小限に抑制出来る。そのため第1の実施形態と同様に、リセスストッパ層50の膜厚はコンタクト下層17の膜厚よりも薄くすることが可能である。

#### 【0066】

##### [変形例1]

なお、前述した第1、第2の実施形態では、GaAsから形成されるコンタクト上層18とコンタクト下層17との間にリセスストッパ層50を設けたが、エッチングの精密な制御が可能であれば、図17に示すようにリセスストッパ層50を設けなくてもコンタクト上層18のみを選択的に除去可能である。

#### 【0067】

即ち、図17に示す如く、上記コンタクト上層18を貫通してワイドリセス開口5が形成されている。このワイドリセス開口5の内部には、コンタクト下層17と上記電界強度緩和層16とを貫通して、上記ワイドリセス開口5の開口幅よりも狭い幅を有するナロウリセス開口10が形成される。このヘテロ接合型化合物半導体電界効果トランジスタは、ワイドリセス開口5とナロウリセス開口10とからなるダブルリセス構造を有する。

#### 【0068】

上記ナロウリセス開口10の底部に露出した上側の電子供給層15の表面には、例えばA1からなるゲート電極22が形成される。上記コンタクト上層18の上には、上記ワイドリセス開口5を挟むように、例えばAuCe/Ni/Auからなるソース電極20及びドレイン電極21が形成される。

#### 【0069】

上述のように、ナロウリセス開口10を形成するコンタクト下層17は、n型の不純物が添加されたGaAsを含み、ワイドリセス開口5を形成するコンタクト上層18もn型の不純物がより高濃度に添加されたGaAsを含んで形成される。さらに、電界強度緩和層16はイントリンシック型のInGaPから形成されている。

#### 【0070】

次に、上記電界効果トランジスタのスイッチング動作について詳説する。

## 【0071】

半絶縁性GaAs基板11及びソース電極20が接地された状態でゲート電極22に閾値電圧が印加されると、チャネル層14 (i-In<sub>0.15</sub>Ga<sub>0.85</sub>As層)に電子が通り得るチャネルが形成される。そして、ドレイン電極21に電圧が印加されると、ソース電極20から供給された電子が低抵抗の半導体コンタクト上層18を流れ、主に半導体コンタクト下層17 (n-GaAs層)を流れて半導体チャネル層14へ流れる。さらに、再びコンタクト下層17を主に流れて半導体コンタクト上層18からドレイン電極21へと流れ込む。

## 【0072】

ここで、図25に示した従来のヘテロ接合型電界効果トランジスタでは、ソース電極122から供給された電子が、低抵抗の半導体コンタクト上層117を流れた後、主にn-InGaPから構成される半導体コンタクト下層116を流れて半導体チャネル層114へ至る。そして、再び半導体コンタクト下層116を流れて半導体コンタクト上層117からドレイン電極121へと流れ込んでいた。

## 【0073】

これに対して、この電界効果トランジスタの半導体コンタクト下層17は、InGaPに比べて電子の移動度が大きいGaAsから構成されているため、従来技術に比べて寄生抵抗を大きく低減することができる。これによって、低いオン抵抗であり、且つ大きな最大ドレイン電流と大きな相互コンダクタンスを有する。

## 【0074】

また、InGaPからなる電界強度緩和層16に不純物が意図的に添加されていない。即ち、電界強度緩和層16はイントリンシック型である。そのため、従来のようにInGaPからなる層に不純物が意図的に添加された場合に比べてゲート電極22の端部近傍における電界集中を緩和できる。しかも、上述の如く電子は移動度が比較的高いGaAsから形成されるコンタクト下層17を流れるため、寄生抵抗の増大を招くことなしにヘテロ接合型化合物半導体電界効果トランジスタの耐圧を向上できる。

## 【0075】

次に、本変形例に係るヘテロ接合型電界効果トランジスタの製造方法について

詳説する。

#### 【0076】

図2～図9の工程までは、基本的には第1の実施形態と同様であるが、図4及び図5に示した工程において、コンタクト上層18にワイドリセス開口5を形成する際に、 $\text{H}_3\text{PO}_4$ 系エッチャントにて、時間や温度等を制御することによって高精度にエッチングを行う必要がある点が異なっている。

#### 【0077】

その後は、図6～図8に示すような工程を経て、図9に示すような中間構造を得る。

#### 【0078】

次に、絶縁膜35上にフォトレジストを塗布し、パターニングしてフォトレジストパターン40を形成する。このフォトレジストパターン40と上記絶縁膜35をマスクにして、例えば $\text{H}_3\text{PO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ が3:1:50からなる $\text{H}_3\text{PO}_4$ 系エッチャントを用いてコンタクト下層17を貫通するようにウェットエッチングする。この時、 $\text{H}_3\text{PO}_4$ 系エッチャントではInGaPはほとんどエッチングされないため、電界強度緩和層16（ $\text{i-In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層）の表面が露出した時点で、エッチング速度は十分に小さくなり、エッチングは実質的に停止する。その後、例えばHClからなるエッチャントを用いて電界強度緩和層16（ $\text{i-In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層）を除去する。この時、HClではn-GaAsからなるコンタクト下層17はほとんどエッチングされない。このように、電界強度緩和層16を選択的にエッチングすることが出来るため、正確なエッチングの深さを確保できる。以上により、所望のナロウリセス開口10を形成することが出来る（図18、図19）。

#### 【0079】

次に、ナロウリセス開口10の底部に露出した上側の電子供給層15（ $\text{n-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層）の表面に、Ti/Pt/Au、Ti/AlまたはAlなどからなるゲート電極22を、例えばリフトオフ法により形成する。ここで、上記ゲート電極22は高融点金属で形成してもよい。この場合には、高融点金属をスパッタ法により成膜し、反応性イオンエッチングによりパターニングしてゲート電極22を形成する（図20）。

## 【0080】

最後に、全面に例えばSiNからなる保護膜42を形成し、ヘテロ接合型半導体電界効果トランジスタを完成する(図21)。

## 【0081】

このように、本変形例に係る製造方法では、ワイドリセス開口5を形成するための第1のリセスエッチング工程では、 $H_3PO_4$ 系エッチャントにて、時間や温度等を正確に制御することによって、選択的にコンタクト上層18を除去する。

## 【0082】

また、ナロウリセス開口10を形成するための第2のリセスエッチング工程では、 $H_3PO_4$ 系エッチャントにて、電界強度緩和層16(InGaP層)に対して選択的にコンタクト下層17(GaAsまたはInGaAs層)を除去できる。つまり、 $H_3PO_4$ 系エッチャントではInGaPはほとんどエッチングされないため、電界強度緩和層16である $i\text{-In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層の表面が露出した時点で、n型コンタクト下層17を貫通するリセスエッチングを実質的に停止させることが出来る。そのため正確な深さのナロウリセス10を形成することができる。

## 【0083】

以上の説明のように、本変形例の製造工程においては、InGaP層からなる電界強度緩和層16はウェットエッチングの際にストップパとして機能し、InGaP層を用いたことによる電子伝導の問題を最小限に抑制できる。つまり、電界強度緩和層16は、イントリンシック型であるのでゲート電極22の端部近傍における電界集中を緩和する機能を有し、製造工程上においてはエッチングのストップパとして働く。またスイッチング動作において、電子は出来るだけ抵抗値の低いコンタクト下層17を通してソース電極20からドレイン電極21を通過することが望ましい。従って、電界強度緩和層16は上述の電界緩和及びストップパとしての効果を発揮する程度の膜厚を有すれば十分であり、電界強度緩和層16の膜厚はコンタクト下層17の膜厚よりも薄く形成することもできる。

## 【0084】

## [第3の実施形態]

図22は本発明の第3の実施形態に係るヘテロ接合型化合物半導体電界効果ト



ランジスタを模式的に表わす断面構造図である。図 22 に示す如く、半絶縁性GaAs基板 11 の上に、バッファ層 12 としてアンドープのGaAs層が、その上に下側の電子供給層 13 として $n\text{-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層が積層される。上記電子供給層 13 の上には、図示しない下側のスペーサ層として $i\text{-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層が形成される。この下側のスペーサ層上にチャンネル層 14 として $i\text{-In}_{0.15}\text{Ga}_{0.85}\text{As}$ 層、このチャンネル層 14 上に図示しない上側のスペーサ層として $i\text{-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層、及び上側のチャンネル層 14 上に上側の電子供給層 15 として $n\text{-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層がそれぞれ積層される。上記電子供給層 15 上には、電界強度緩和層 16 として $i\text{-In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層、コンタクト下層 17 として $n\text{-GaAs}$ 層、リセスストッパ層 50 として $i\text{-In}_{0.49}\text{Ga}_{0.51}\text{P}$ 層、及びコンタクト上層 18 として低抵抗の $n^+\text{-GaAs}$ 層がそれぞれ順次積層される。

#### 【0085】

また、上記コンタクト上層 18 を貫通してワイドリセス開口 5 が形成されている。このワイドリセス開口 5 の内部には、上記コンタクト下層 17 を貫通して、上記ワイドリセス開口 5 の開口幅よりも狭い幅を有するナロウリセス開口 10 が形成される。即ち、図 22 に示すヘテロ接合型化合物半導体電界効果トランジスタは、ワイドリセス開口 5 とナロウリセス開口 10 とからなるダブルリセス構造を有する。

#### 【0086】

さらに、上記ナロウリセス開口 10 の底部に露出した電界強度緩和層 16 の表面には、例えばA1 からなるゲート電極 22 が形成される。コンタクト上層 18 の上には、上記ワイドリセス開口 5 を挟むように、例えばAuCe/Ni/Au からなるソース電極 20 及びドレイン電極 21 が形成される。

#### 【0087】

上述したように、ナロウリセス開口 10 を形成するコンタクト下層 17 はn型の不純物が添加されたGaAsを含み、ワイドリセス開口 5 を形成するコンタクト上層 18 もn型の不純物がより高濃度に添加されたGaAsを含んで形成される。また、電界強度緩和層 16 はイントリンシック型のInGaPから形成されている。

#### 【0088】

即ち、本第3の実施形態に係る電界効果トランジスタが、図1に示した第1の実施形態と異なるのは、ナロウリセス開口10の底部に露出した電界強度緩和層16の表面にゲート電極22が形成される点である。

#### 【0089】

ここで、InGaPからなる電界強度緩和層16はn-AlGaAsからなる上側の電子供給層15よりもキャリアトラップ濃度が低い。そのため、電界強度緩和層16の表面にゲート電極22を形成することによってさらに高い信頼性と性能を得ることができる。

#### 【0090】

つまり、一般に半導体層表面にキャリアトラップが存在すると、その名の通り、キャリアトラップにキャリアである電子や正孔が外部から入力されたバイアス電圧に応じて捕獲されたり、放出されたりする。キャリアが捕獲・放出されると、それに従い表面の荷電状態は変化する。

#### 【0091】

さらにゲート電極に入力される周波数が、キャリアの捕獲・放出の時定数に比べて高くなると、この捕獲・放出によって引き起こされる荷電状態の変化が入力周波数に追従できなくなる。電子の放出の時定数は捕獲の時定数に比べて格段に大きく、そのため入力周波数が高い場合は電子がトラップに捕獲された状況が一方向的に進行してしまう。

#### 【0092】

さらに電子がトラップに捕獲された状況が進行すると表面の空乏層が広がり、チャネルの狭窄が進み、相互コンダクタンスが低下し、表面の状態が変化する。ここでキャリアトラップの濃度は、表面状態によって変化する。従って特に高周波数を使用する場合には、表面状態がより変化することにより、キャリアトラップの問題が顕著となる。

#### 【0093】

結論として高周波半導体電界効果トランジスターにおいて、高い信頼性と性能を得るためには、ゲート電極を接続する半導体表面が安定（＝キャリアトラップ密度が低い）であることが要求される。

## 【0094】

ところが $n$ -AlGaAsからなる上側の電子供給層15の表面は、高周波を入力する場合にはAlを含むために酸化状態が不安定（＝キャリアトラップ密度が高い）となる。従って、ゲート電極に高周波を入力する場合においては、表面がより安定である電界強度緩和層16の表面にゲート電極を形成することでさらに高い信頼性と性能を得ることができる。

## 【0095】

基本的な動作は第1の実施形態と同様であるのでその詳細な説明を省略する。

## 【0096】

次に本実施形態のヘテロ接合型電界効果トランジスタの製造方法について説明する。

## 【0097】

コンタクト上層18を形成する工程までは、上記第1の実施形態と同様である。次に、ワイドリセス開口5を形成するためのパターンが形成された絶縁膜をマスクにして、例えば $H_3PO_4:H_2O_2:H_2O$ が3:1:50からなる $H_3PO_4$ 系エッチャントを用いてコンタクト上層18をウェットエッチングし、このコンタクト上層18を貫通するワイドリセス開口5を形成する。この時、 $H_3PO_4$ 系エッチャントではInGaPはほとんどエッチングされないため、リセスストッパ層50である $i-In_{0.49}Ga_{0.51}P$ 層の表面が露出した時点で、コンタクト上層18のリセスエッチングは実質的に停止する。

## 【0098】

次に、ワイドリセス開口5の内部にワイドリセス開口幅より狭い幅を有するナロウリセス開口10を形成するために、まず $SiO_2$ からなる絶縁膜を全面に形成し、ナロウリセス開口10を形成するためのフォトレジスト開口パターンを形成する。その後、上記フォトレジスト開口パターンをマスクにして絶縁膜をRIE法によりエッチングし、絶縁膜にナロウリセス開口10を形成するためのパターンを形成する。その後、上記フォトレジストパターンを剥離する。

## 【0099】

次に、ワイドリセス開口5を挟むように、コンタクト上層18の表面にAuGe/N

i/Auからなるソース電極 20 とドレイン電極 21 をリフトオフ法により形成する。ここで、次に記すゲート電極 22 を形成した後に、これらのソース電極 20 とドレイン電極 21 を形成してもよい。

#### 【0100】

引き続き、フォトレジストパターンを形成し、ナロウリセス開口 10 を形成するためのパターンが形成された絶縁膜をマスクにして、例えばHCl水溶液からなるエッチャントを用いてリセスストッパ層 50 (i-In<sub>0.49</sub>Ga<sub>0.51</sub>P層) を除去する。この時、HCl水溶液ではn-GaAsまたはn-InGaAsからなるコンタクト下層 17 はほとんどエッチングされない。

#### 【0101】

次に、例えばH<sub>3</sub>PO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>Oが3:1:50からなるH<sub>3</sub>PO<sub>4</sub>系エッチャントを用いてコンタクト下層 17 を貫通してナロウリセス開口 10 を形成する。この時、H<sub>3</sub>PO<sub>4</sub>系エッチャントではInGaPはほとんどエッチングされないため、電界強度緩和層 16 であるi-In<sub>0.49</sub>Ga<sub>0.51</sub>P層の表面が露出した時点で、コンタクト下層を貫通するリセスエッチングは実質的に停止する。

#### 【0102】

次に、ナロウリセス開口 10 の底部に露出した電界強度緩和層 16 の表面に例えばTi/Pt/AuまたはTi/AlまたはAlからなるゲート電極 22 を、例えばリフトオフ法により形成する。このゲート電極 22 は高融点金属で構成されていてもよい。この場合には、高融点金属をスパッタ法により成膜し、反応性イオンエッチングにより加工してゲート電極 22 を形成する。

#### 【0103】

最後に、全面にSiNからなる保護膜を形成し、ヘテロ接合型半導体電界効果トランジスタを完成する。

#### 【0104】

本第3の実施形態においても第1及び第2の実施態様と同様に、ワイドリセス開口 5 を形成するためのリセスエッチング工程では、InGaPからなるリセスストッパ層 50 に対して選択的にGaAsからなるコンタクト上層 18 をH<sub>3</sub>PO<sub>4</sub>系エッチャントにて除去できる。そのため、ワイドリセス開口 5 のエッチングの深さを正

確に制御することができる。

#### 【0105】

また、ワイドリセス開口5の内側に狭い開口を形成するためのリセスエッチング工程では、InGaPからなる電界強度緩和層16に対して選択的にGaAsまたはInGaAsからなるコンタクト下層17を $\text{H}_3\text{PO}_4$ 系エッチャントにて除去できる。そのため、やはりナロウリセス開口10のエッチングの深さを正確に制御することができる。リセス構造におけるエッチングが正確に制御できるという利点を損なうことなく製造歩留まりの低下も防止できる。従って、本発明によるヘテロ接合型化合物半導体電界効果トランジスタでは、高い製造歩留まりを維持しながら、高いゲート耐圧と大きな最大ドレイン電流を同時に両立できる。従って、本発明によるヘテロ接合型化合物半導体電界効果トランジスタが、これらの性能が要求されるマイクロ波やミリ波領域での低雑音増幅器、線形増幅器、高出力増幅器等の用途に応用された場合には、飛躍的な性能向上とともに高い製造歩留まりが期待できる。

#### 【0106】

##### [第4の実施形態]

図23は本発明のヘテロ接合型化合物半導体電界効果トランジスタの第4の実施形態を模式的に表わした断面構造図である。

#### 【0107】

図23は、本発明の第4の実施態様に係るヘテロ接合型化合物半導体電界効果トランジスタの断面構造図である。図23に示す如く、半絶縁性GaAs基板11の上に、バッファ層12としてアンドープのGaAs層が、その上に下側の電子供給層13として $\text{n-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層が積層される。上記電子供給層13の上には、図示しない下側のスペーサ層として $\text{i-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層が形成される。この下側のスペーサ層上にチャンネル層14として $\text{i-In}_{0.15}\text{Ga}_{0.85}\text{As}$ 層、このチャンネル層14上に図示しない上側のスペーサ層として $\text{i-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層、及び上側のチャンネル層14上に上側の電子供給層15として $\text{n-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層がそれぞれ積層される。上記電子供給層15上には、電界強度緩和層16として $\text{i-In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層、コンタクト下層17として $\text{n-GaAs}$ 層、及びコンタクト上層18として低抵抗の $\text{n}^+\text{-GaAs}$

s層がそれぞれ順次積層される。

#### 【0108】

また、上記コンタクト上層 18 を貫通してワイドリセス開口 5 が形成されている。このワイドリセス開口 5 の内部には、上記コンタクト下層 17 を貫通して、上記ワイドリセス開口 5 の開口幅よりも狭い幅を有するナロウリセス開口 10 が形成される。即ち、図 22 に示すヘテロ接合型化合物半導体電界効果トランジスタは、ワイドリセス開口 5 とナロウリセス開口 10 とからなるダブルリセス構造を有する。

#### 【0109】

さらに、上記ナロウリセス開口 10 の底部に露出した電界強度緩和層 16 の表面には、例えば A1 からなるゲート電極 22 が形成される。コンタクト上層 18 の上には、上記ワイドリセス開口 5 を挟むように、例えば AuCe/Ni/Au からなるソース電極 20 及びドレイン電極 21 が形成される。

#### 【0110】

上述のように、ナロウリセス開口 10 を形成するコンタクト下層 17 は n 型の不純物が添加された GaAs を含み、ワイドリセス開口 5 を形成するコンタクト上層 18 も n 型の不純物がより高濃度に添加された GaAs を含んで形成される。さらに、電界強度緩和層 16 はイントリンシック型の InGaP から形成されている。

#### 【0111】

上記図 23 に示す電界効果トランジスタが第 3 の実施の形態と異なるのは、リセスストップ層 50 にワイドリセス開口 5 が形成されている点である。

#### 【0112】

また、基本的な動作は、上記第 2 の実施形態と同様であるので、その説明を省略する。

#### 【0113】

本第 4 の実施形態においても第 1 乃至第 3 の実施形態と同様に、ナロウリセス開口 10 を形成するコンタクト下層 17 は n 型の不純物が添加された GaAs を含み、ワイドリセス開口 5 を形成するコンタクト上層 18 の低抵抗 n 型の不純物がより添加された GaAs を含んで形成される。さらに、電界強度緩和層 16 及びリセス

ストップ層 50 はイントリンシック型の InGaP から形成される。そのため、寄生抵抗を減少させ、高いゲート耐圧と大きな最大ドレイン電流を同時に両立できる。従って、本実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタが、これらの性能が要求されるマイクロ波やミリ波領域での低雑音増幅器、線形増幅器、高出力増幅器等の用途に応用された場合には、飛躍的な性能向上が期待できる。

#### 【0114】

さらに、本実施形態によるヘテロ接合型化合物半導体電界効果トランジスタでは、ナロウリセス開口 10 底部に InGaP からなる電界強度緩和層 16 が露出している。これに対して、図 25 に示した従来のヘテロ接合型化合物半導体電界効果トランジスタでは、AlGaAs からなる半導体電子供給層 115 がナロウリセス開口 132 の底部に露出する構造となっている。

#### 【0115】

さらに第 3 の実施形態と同様の理由から、キャリアトラップ濃度が低い電界強度緩和層 16 の表面にゲート電極 22 を接続していることにより、図 25 に示される従来のヘテロ接合型化合物半導体電界効果トランジスタに比べて高い信頼性と性能を得ることができる。

#### 【0116】

次に、本実施形態のヘテロ接合型電界効果トランジスタの製造方法について説明する。コンタクト上層 18 を形成する工程までは、上記第 2 及び第 3 の実施形態と同様である。次に、ワイドリセス開口 5 を形成するためのパターンが形成された絶縁膜をマスクにして、例えば  $\text{H}_3\text{PO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}$  が 3:1:50 からなる  $\text{H}_3\text{PO}_4$  系エッチャントを用いてコンタクト上層 18 をウェットエッチングし、このコンタクト上層 18 を貫通するワイドリセス開口 5-1 を形成する。この時、 $\text{H}_3\text{PO}_4$  系エッチャントでは InGaP はほとんどエッチングされないため、リセスストップ層 50 である  $\text{i-In}_{0.49}\text{Ga}_{0.51}\text{P}$  層の表面が露出した時点で、コンタクト上層 18 のリセスエッチングは実質的に停止する。

#### 【0117】

その後、上記絶縁膜をマスクにして、例えば HCl からなるエッチャントを用い

て、リセスストッパ層 50 を貫通してコンタクト層 17 の表面に達する開口 5-2 を形成する。この時、HCl では n-GaAs からなるコンタクト下層 17 はほとんどエッチングされないため、コンタクト層 17 の表面が露出した時点で、リセスエッチングは実質的にストップする。

#### 【0118】

次に、ワイドリセス開口 5 の内部にワイドリセス開口幅より狭い幅を有するナロウリセス開口 10 を形成するために、まず  $\text{SiO}_2$  からなる絶縁膜を全面に形成し、ナロウリセス開口 10 を形成するためのフォトレジスト開口パターンを形成する。その後、上記フォトレジスト開口パターンをマスクにして絶縁膜を RIE 法によりエッチングし、絶縁膜にナロウリセス開口 10 を形成するためのパターンを形成する。そして、上記フォトレジストパターンを剥離する。

#### 【0119】

次に、ワイドリセス開口 5 を挟むように、コンタクト上層 18 の表面に AuGe/Ni/Au からなるソース電極 20 とドレイン電極 21 をリフトオフ法により形成する。ここで、次に記すゲート電極 22 を形成した後に、これらのソース電極 20 とドレイン電極 21 を形成してもよい。

#### 【0120】

引き続き、例えば  $\text{H}_3\text{PO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}$  が 3:1:50 からなる  $\text{H}_3\text{PO}_4$  系エッチャントエッチャントを用いてコンタクト下層 17 を貫通してナロウリセス開口 10 を形成する。この時、 $\text{H}_3\text{PO}_4$  系エッチャントでは InGaP はほとんどエッチングされないため、電界強度緩和層 16 である  $\text{i-In}_{0.49}\text{Ga}_{0.51}\text{P}$  層の表面が露出した時点で、コンタクト下層を貫通するリセスエッチングは実質的に停止する。

#### 【0121】

次に、ナロウリセス開口 10 の底部に露出した電界強度緩和層 16 の表面に例えば Ti/Pt/Au または Ti/Al または Al からなるゲート電極 22 を、例えばリフトオフ法により形成する。このゲート電極 22 は高融点金属で構成されていてもよい。この場合には、高融点金属をスパッタ法により成膜し、反応性イオンエッチングにより加工してゲート電極 22 を形成する。

#### 【0122】



最後に、全面にSiNからなる保護膜を形成し、ヘテロ接合型半導体電界効果トランジスタを完成する。

### 【0123】

本第4の実施形態においても前述した各実施態様と同様にダブルリセス構造を形成するためのリセスエッチング工程において、ワイドリセス開口5を形成するためのリセスエッチング工程ではInGaPからなるリセスストッパ層50に対して選択的にGaAsからなるコンタクト上層18をH<sub>3</sub>PO<sub>4</sub>系エッチャントにて除去できる。そのため、正確なエッチングの深さを確保することができる。またワイドリセス開口5の内側にナロウリセス開口10を形成するためのリセスエッチングでは、InGaPからなる電界強度緩和層16に対して選択的にGaAsまたはInGaAsからなるコンタクト下層17をH<sub>3</sub>PO<sub>4</sub>系エッチャントにて除去できるため、やはりエッチングの深さを正確に制御することができる。従って、本発明によるヘテロ接合型化合物半導体電界効果トランジスタでは、高い製造歩留まりを維持しながら、高いゲート耐圧と大きな最大ドレイン電流を同時に両立できる。従って、本発明によるヘテロ接合型化合物半導体電界効果トランジスタが、これらの性能が要求されるマイクロ波やミリ波領域での低雑音増幅器、線形増幅器、高出力増幅器等の用途に応用された場合には、飛躍的な性能向上とともに高い製造歩留まりが期待できる。

### 【0124】

本実施形態によるヘテロ接合型化合物半導体電界効果トランジスタは、ワイドリセス開口5の底部にはGaAsコンタクト下層17またはInGaAsコンタクト下層17が露出するため、従来技術のようにナロウリセス開口10が形成できないという問題はない。その結果、歩留まりを向上できる。

### 【0125】

また、第2の実施形態と同様に、電界強度緩和層16及びリセスストッパ層50の膜厚はコンタクト下層17の膜厚よりも薄く形成することが可能である。

### 【0126】

#### [変形例2]

図24は、本発明の第4の実施態様に係るヘテロ接合型化合物半導体電界効果

トランジスタの変形例について説明するための断面構造図である。図 24 に示す如く、半絶縁性GaAs基板 11 の上に、バッファ層 12 としてアンドープのGaAs層が、その上に下側の電子供給層 13 として $n\text{-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層が積層される。上記電子供給層 13 の上には、図示しない下側のスペーサ層として $i\text{-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層が形成される。この下側のスペーサ層上にチャンネル層 14 として $i\text{-In}_{0.15}\text{Ga}_{0.85}\text{As}$ 層、このチャンネル層 14 上に図示しない上側のスペーサ層として $i\text{-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層、及び上側のチャンネル層 14 上に上側の電子供給層 15 として $n\text{-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層がそれぞれ積層される。上記電子供給層 15 上には、電界強度緩和層 16 として $i\text{-In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層、コンタクト下層 17 として $n\text{-GaAs}$ 層、及びコンタクト上層 18 として低抵抗の $n^+\text{-GaAs}$ 層がそれぞれ順次積層される。

#### 【0127】

また、上記コンタクト上層 18 を貫通してワイドリセス開口 5 が形成されている。このワイドリセス開口 5 の内部には、上記コンタクト下層 17 を貫通して、上記ワイドリセス開口 5 の開口幅よりも狭い幅を有するナロウリセス開口 10 が形成される。即ち、図 22 に示すヘテロ接合型化合物半導体電界効果トランジスタは、ワイドリセス開口 5 とナロウリセス開口 10 とからなるダブルリセス構造を有する。

#### 【0128】

さらに、上記ナロウリセス開口 10 の底部に露出した電界強度緩和層 16 の表面には、例えばA1 からなるゲート電極 22 が形成される。コンタクト上層 18 の上には、上記ワイドリセス開口 5 を挟むように、例えばAuCe/Ni/Au からなるソース電極 20 及びドレイン電極 21 が形成される。

#### 【0129】

上述のように、ナロウリセス開口 10 を形成するコンタクト下層 17 は n 型の不純物が添加されたGaAsを含み、ワイドリセス開口 5 を形成するコンタクト上層 18 も n 型の不純物がより高濃度に添加されたGaAsを含んで形成される。さらに、電界強度緩和層 16 はイントリンシック型のInGaPから形成されている。

#### 【0130】

即ち、本変形例が変形例 1 と異なるのは、ナロウリセス開口 10 の底部に露出

した電界強度緩和層 16 の表面にゲート電極 22 が形成される点である。

#### 【0131】

従って第3の実施形態と同様の理由から、キャリアトラップ濃度が低い電界強度緩和層 16 の表面にゲート電極 22 を接続していることにより、図 25 に示される従来のヘテロ接合型化合物半導体電界効果トランジスタに比べて高い信頼性と性能を得ることができる。

#### 【0132】

また、基本的な動作は変形例 1 と同様であるのでその詳細な説明を省略する。

#### 【0133】

図 2 ～図 9 の工程までは、基本的には第 1 の実施形態と同様であるが、図 4 及び図 5 に示した工程において、コンタクト上層 18 にワイドリセス開口 5 を形成する際に、 $H_3PO_4$ 系エッチャントにて、時間や温度等を制御することによって高精度にエッチングを行う必要がある点が異なっている。

#### 【0134】

その後は、図 6 ～図 8 に示すような工程を経て、図 9 に示すような中間構造を得る。

#### 【0135】

次に、ナロウリセス開口 10 を形成するためのパターンが形成された絶縁膜をマスクにして、例えば $H_3PO_4:H_2O_2:H_2O$ が3:1:50からなる $H_3PO_4$ 系エッチャントを用いてコンタクト下層 17 を貫通してナロウリセス開口 10 を形成する。この時、 $H_3PO_4$ 系エッチャントではInGaPはほとんどエッチングされないため、電界強度緩和層 16 である $i-In_{0.48}Ga_{0.52}P$ 層の表面が露出した時点で、n型コンタクト下層 17 を貫通するリセスエッチングは実質的に停止する。

#### 【0136】

次に、ナロウリセス開口 10 の底部に露出した電界強度緩和層 16 の表面に例えばTi/Pt/AuまたはTi/AlまたはAlからなるゲート電極 22 を、例えばリフトオフ法により形成する。ここで、ゲート電極 22 は同様に高融点金属で構成されていてよい。

#### 【0137】

最後に、例えばSiNからなる保護膜42を形成し、ヘテロ接合型半導体電界効果トランジスタを完成する。

#### 【0138】

以上のように、ナロウリセス開口10を形成する工程において、 $\text{H}_3\text{PO}_4$ 系エッチャントでは電界強度緩和層16である $\text{i-In}_{0.48}\text{Ga}_{0.52}\text{P}$ 層はエッチング速度が非常に小さい。そのために電界強度緩和層16の表面が露出した時点で、n型コンタクト下層17を貫通するリセスエッチングは実質的に停止する。従って、電界強度緩和層16はゲート電極22の近傍に発生する電界を緩和する効果を有するとともに、製造工程上ではエッチングストップパとして働く。これによって、製造工程において高いエッチング精度を維持することができるためダブルリセス構造の利点を生かすことが出来る。

#### 【0139】

さらに、第1の実施形態に比べて電界強度緩和層16をエッチングする工程を省略することが出来るため、製造コストを削減することが出来る。

#### 【0140】

なお、上述した各実施形態において、InGaP層をAlGaAs層で代用することはできない。F（フッ素）系ガスを含むガスによるドライエッチング技術は、GaAs層またはInGaAs層をAlGaAs層に対して高い選択比でエッチングできることが知られており、この技術によればInGaP層をAlGaAs層で代用することで同様の効果が得られるかに思われるが、次のような理由から困難である。

#### 【0141】

まず、第1にドライエッチング技術では基板に欠陥が導入されることが避けられず、そのために特性の劣化が避けられない。

#### 【0142】

第2にAlGaAsはInGaPに比べて電子親和力が小さいため、AlGaAs/GaAsの接合面やAlGaAs/InGaAs接合面における伝導帯のエネルギー不連続量が大い。従って、電子がGaAs層またはInGaAs層からAlGaAs層へ流れる時に、電子は例えば300mVのエネルギーバリアを越えなければならず、コンタクト抵抗増大を招く。

#### 【0143】

これに対して、本発明の各実施態様の製造方法によれば、リセスエッチングをウェットエッチングで行うため、基板に欠陥が導入されて特性を劣化させるようなことはない。また、InGaPの電子親和力は比較的大きいため、InGaP/GaAsの接合面やInGaP/InGaAs接合面における伝導帯のエネルギー不連続量が小さく、電子がGaAs層またはInGaAs層からInGaP層へ流れる時に越えなければならないエネルギーバリアは、例えば30mV以下にすることができる。従って、本発明によれば、InGaP/GaAsの接合面やInGaP/InGaAs接合面における伝導帯のエネルギー不連続量が原因で、コンタクト抵抗が増大することはほとんどない。

#### 【0144】

尚、以上の実施形態において、n-AlGaAsからなる下側の電子供給層13及び上側の電子供給層15は、必ず均一にn型である必要はなく、一部において高濃度にn型であってもよい。即ち、下側の電子供給層13及び上側の電子供給層15は、部分的にまたは全体にn型不純物が添加されるAlGaAsから形成される。

#### 【0145】

以上、第1乃至第4の実施の形態とその変形例を用いて本発明の説明を行ったが、本発明は上記各実施の形態やその変形例に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施の形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

#### 【0146】

##### 【発明の効果】

以上詳述したようにこの発明によれば、寄生抵抗を低減できるヘテロ接合型化合物半導体電界効果トランジスタを提供することが出来る。

#### 【0147】

また、選択ウェットエッチング法により比較的容易にダブルリセス構造を形成

できるヘテロ接合型化合物半導体電界効果トランジスタの製造方法を提供することが出来る。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタの断面構造図。

【図 2】

本発明の第 1 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタの第 1 の製造工程を示す断面構造図。

【図 3】

本発明の第 1 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタの第 2 の製造工程を示す断面構造図。

【図 4】

本発明の第 1 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタの第 3 の製造工程を示す断面構造図。

【図 5】

本発明の第 1 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタの第 4 の製造工程を示す断面構造図。

【図 6】

本発明の第 1 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタの第 5 の製造工程を示す断面構造図。

【図 7】

本発明の第 1 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタの第 6 の製造工程を示す断面構造図。

【図 8】

本発明の第 1 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタの第 7 の製造工程を示す断面構造図。

【図 9】

本発明の第 1 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタ

タの第 8 の製造工程を示す断面構造図。

【図 1 0】

本発明の第 1 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタの第 9 の製造工程を示す断面構造図。

【図 1 1】

本発明の第 1 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタの第 1 0 の製造工程を示す断面構造図。

【図 1 2】

本発明の第 1 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタの第 1 1 の製造工程を示す断面構造図。

【図 1 3】

本発明の第 1 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタの第 1 2 の製造工程を示す断面構造図。

【図 1 4】

本発明の第 1 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタの第 1 3 の製造工程を示す断面構造図。

【図 1 5】

本発明の第 1 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタの第 1 4 の製造工程を示す断面構造図。

【図 1 6】

本発明の第 2 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタを示す断面構造図。

【図 1 7】

本発明の第 1 , 第 2 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタの変形例について説明するための断面構造図。

【図 1 8】

図 1 7 に示したヘテロ接合型化合物半導体電界効果トランジスタの製造方法について説明するためのもので、第 1 の製造工程を示す断面構造図。

【図 1 9】

図 1 7 に示したヘテロ接合型化合物半導体電界効果トランジスタの製造方法について説明するためのもので、第 2 の製造工程を示す断面構造図。

【図 2 0】

図 1 7 に示したヘテロ接合型化合物半導体電界効果トランジスタの製造方法について説明するためのもので、第 3 の製造工程を示す断面構造図。

【図 2 1】

図 1 7 に示したヘテロ接合型化合物半導体電界効果トランジスタの製造方法について説明するためのもので、第 4 の製造工程を示す断面構造図。

【図 2 2】

本発明の第 3 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタの断面構造図。

【図 2 3】

本発明の第 4 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタの断面構造図。

【図 2 4】

本発明の第 3, 第 4 の実施形態に係るヘテロ接合型化合物半導体電界効果トランジスタの変形例について説明するための断面構造図。

【図 2 5】

従来のヘテロ接合型化合物半導体電界効果トランジスタの断面構造図。

【符号の説明】

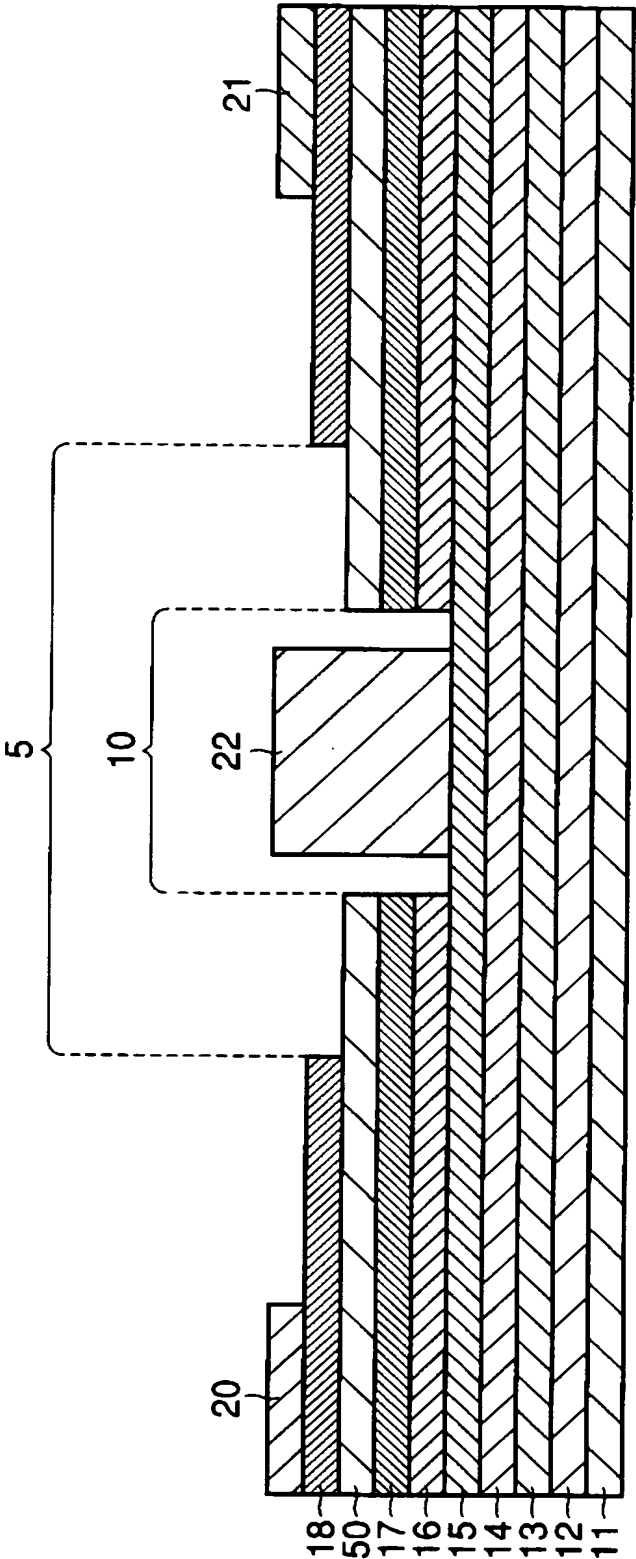
5…ワイドリセス開口、10…ナロウリセス開口、11…半絶縁性GaAs基板、12…バッファ層、13…電子供給下層、14…チャネル層、15…電子供給上層、16…電界強度緩和層、17…コンタクト下層、18…コンタクト上層、20…ソース電極、21…ドレイン電極、22…ゲート電極、50…リセスストッパ層。



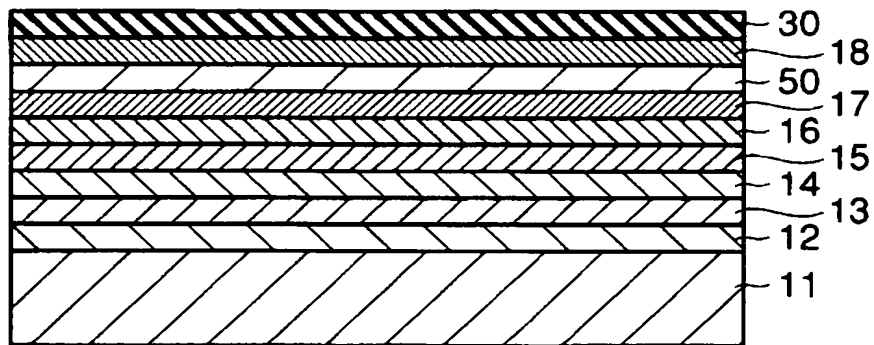
【書類名】

図面

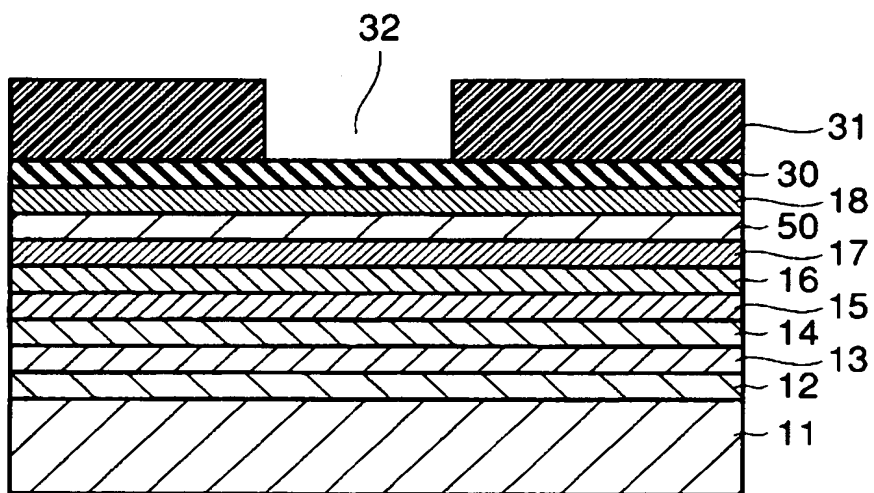
【図 1】



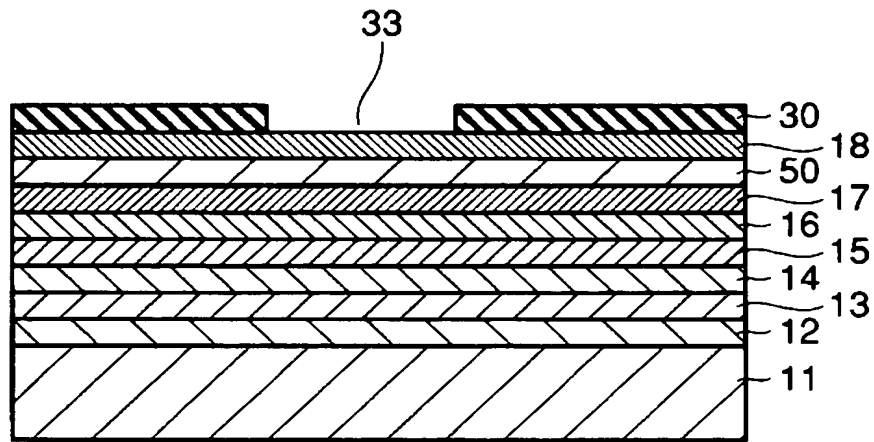
【図 2】



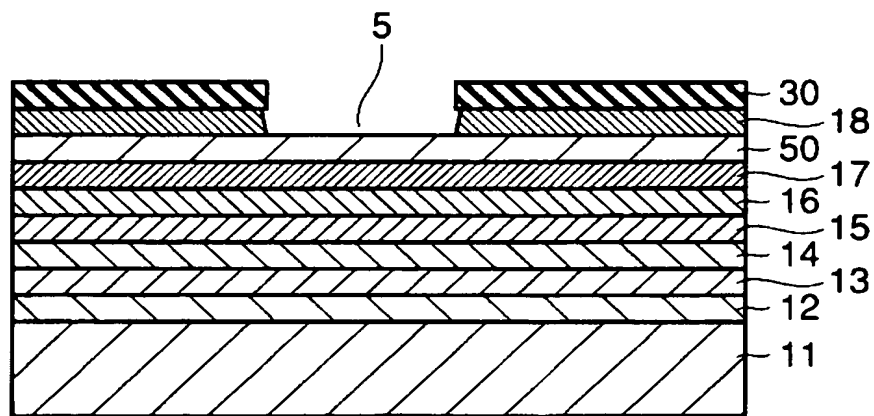
【図 3】



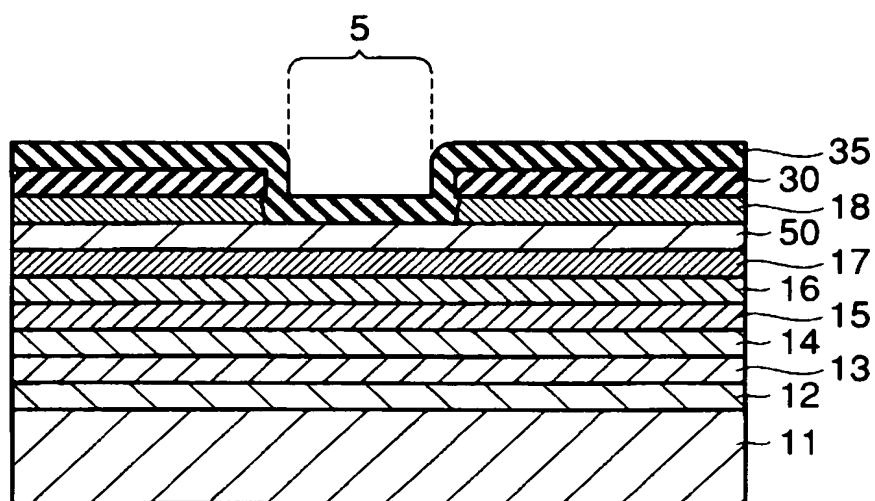
【図 4】



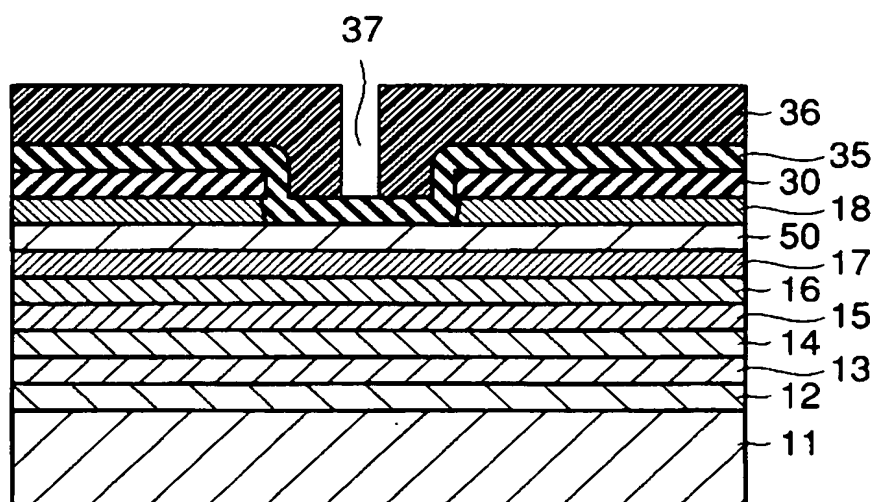
【図 5】



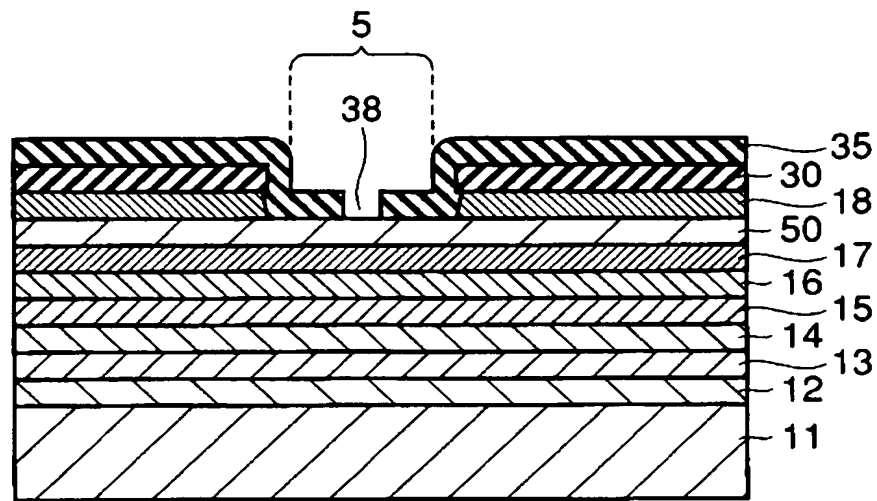
【図 6】



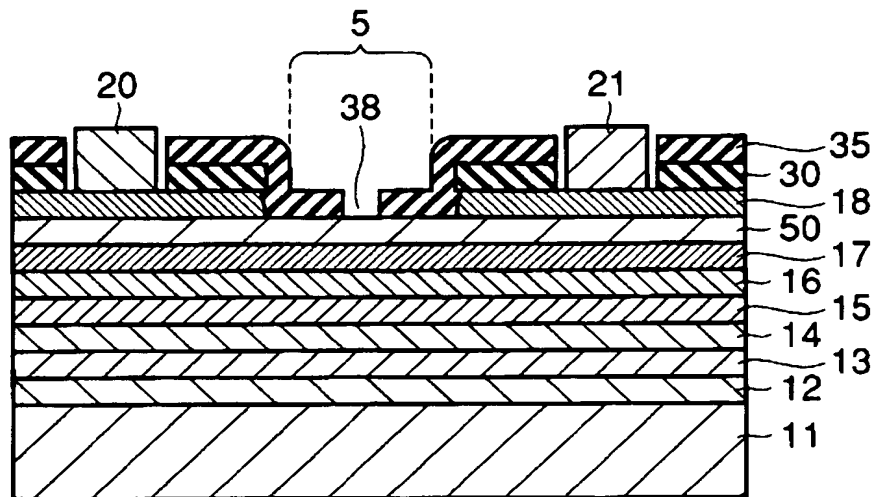
【図 7】



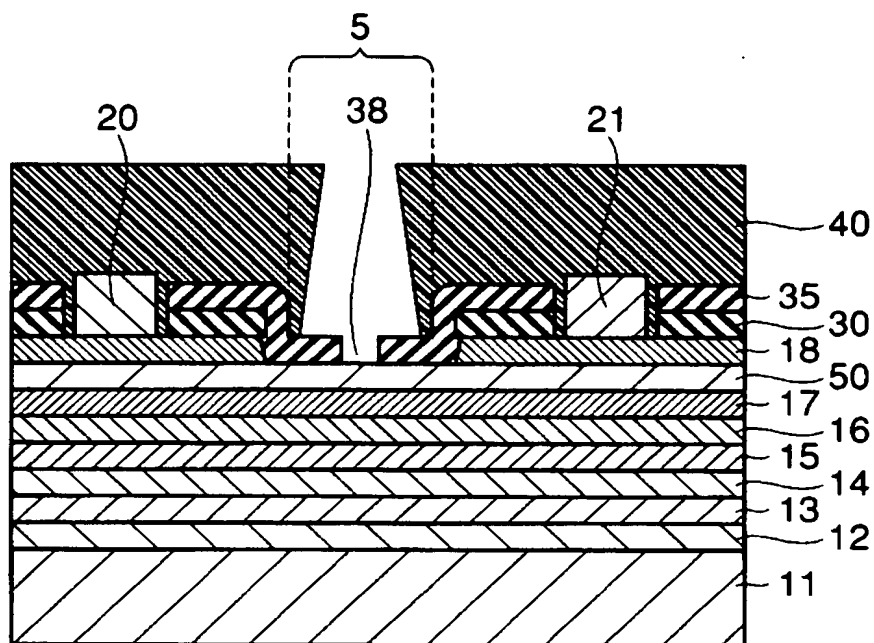
【図 8】



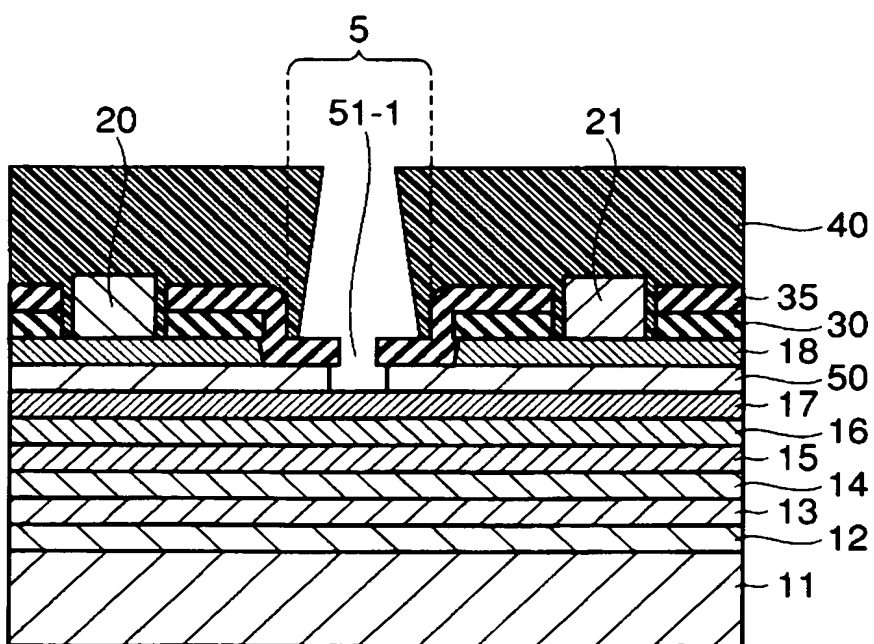
【図 9】



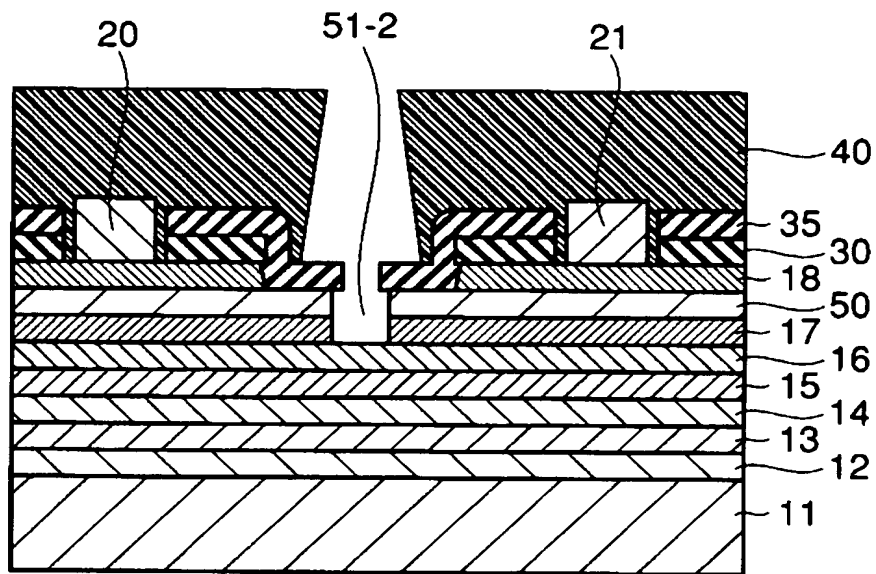
【図 10】



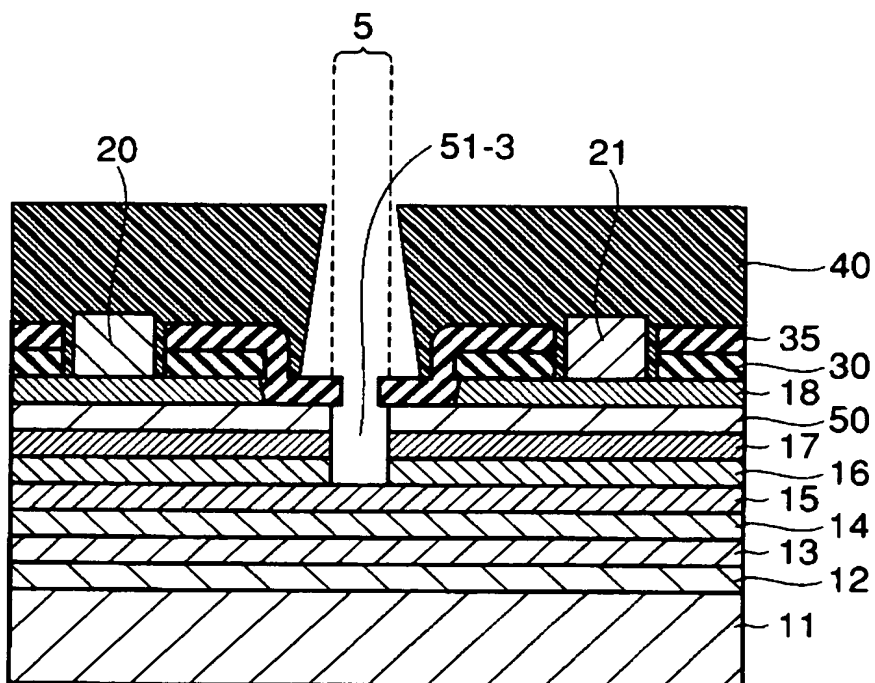
【図 11】



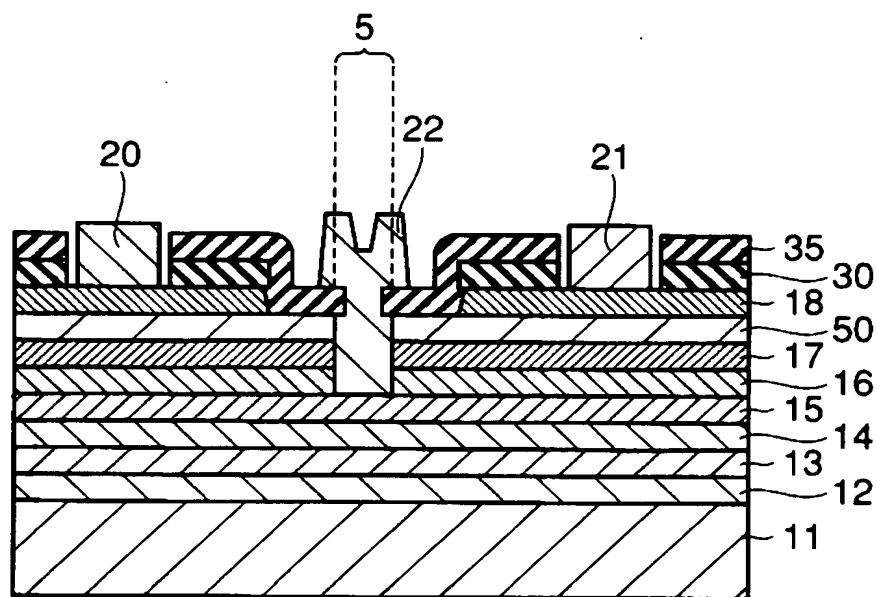
【図 12】



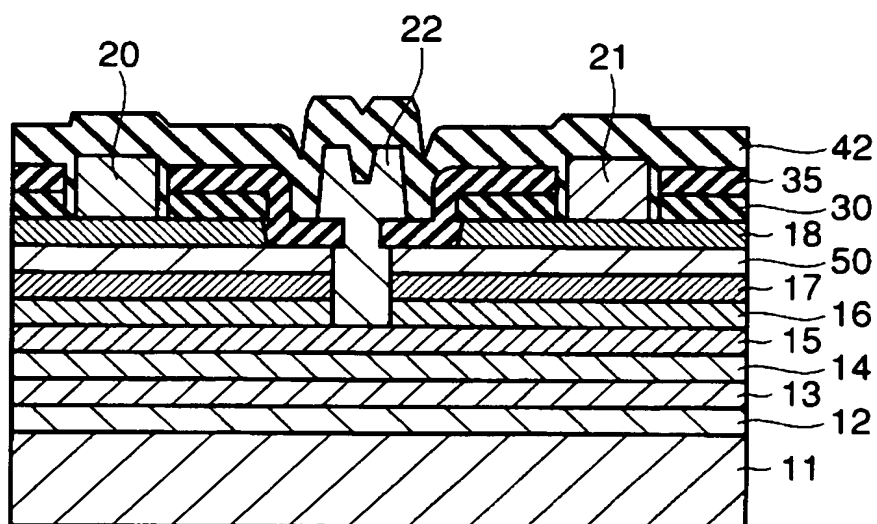
【図 13】



【図 14】

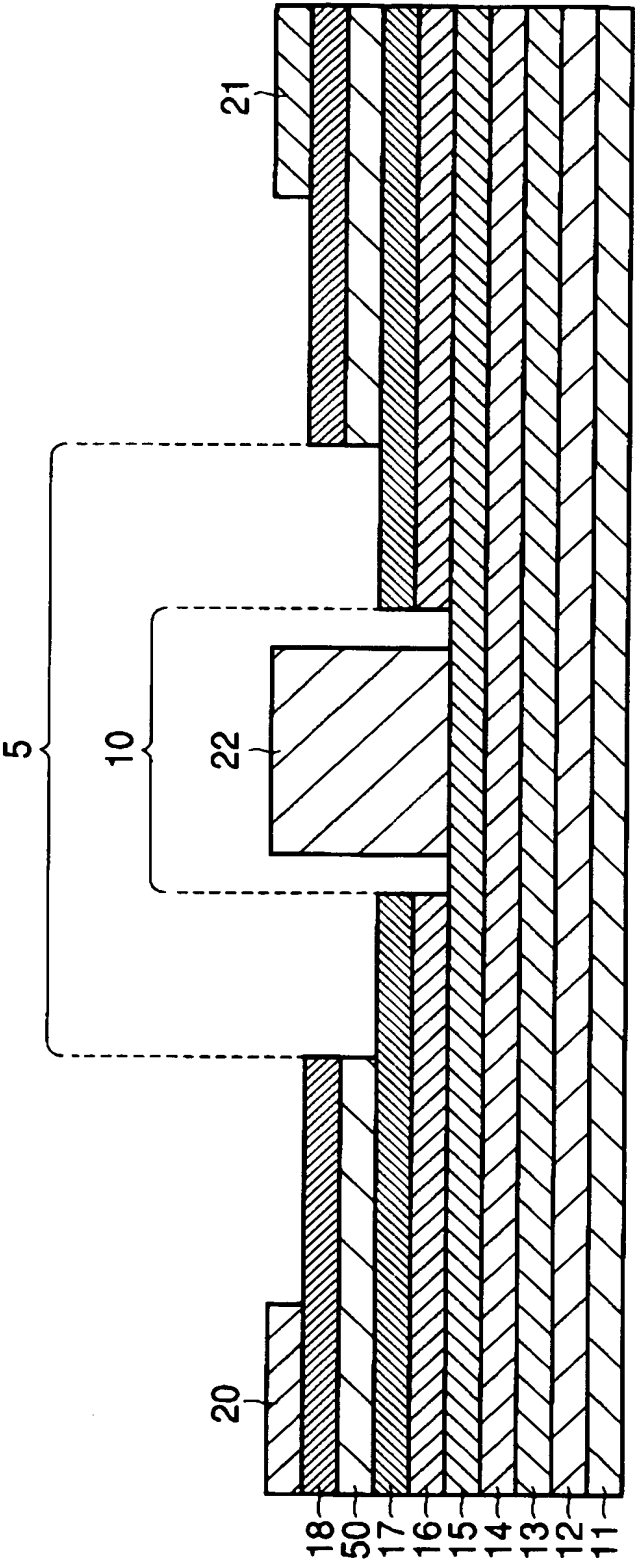


【図 15】

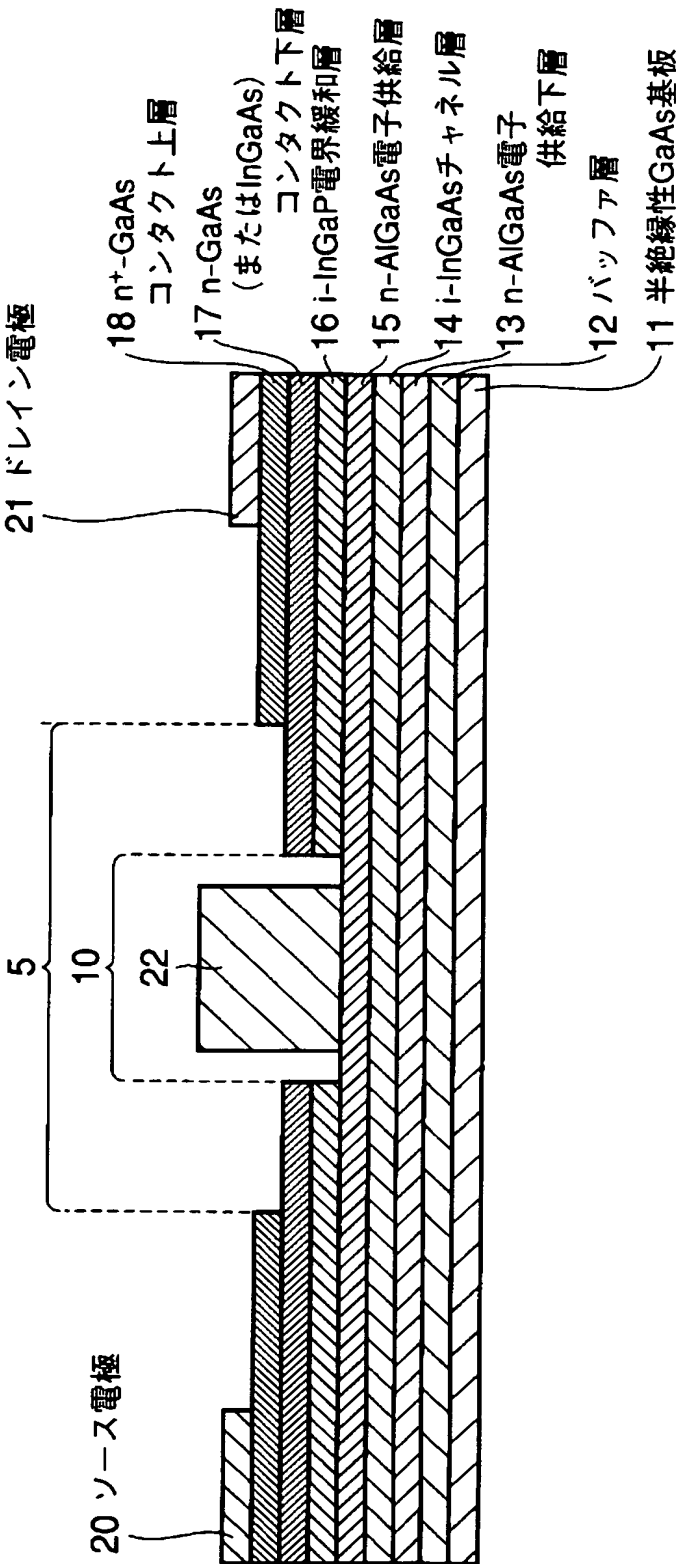




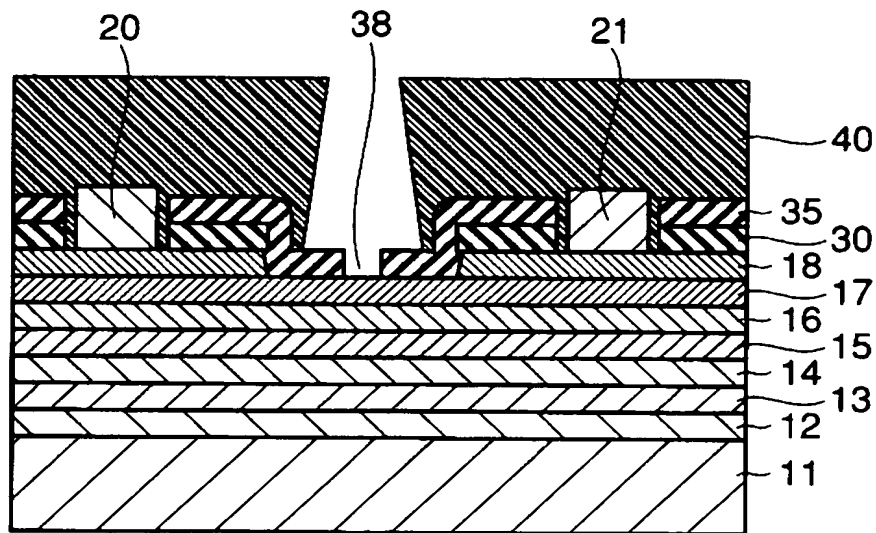
【図 1 6】



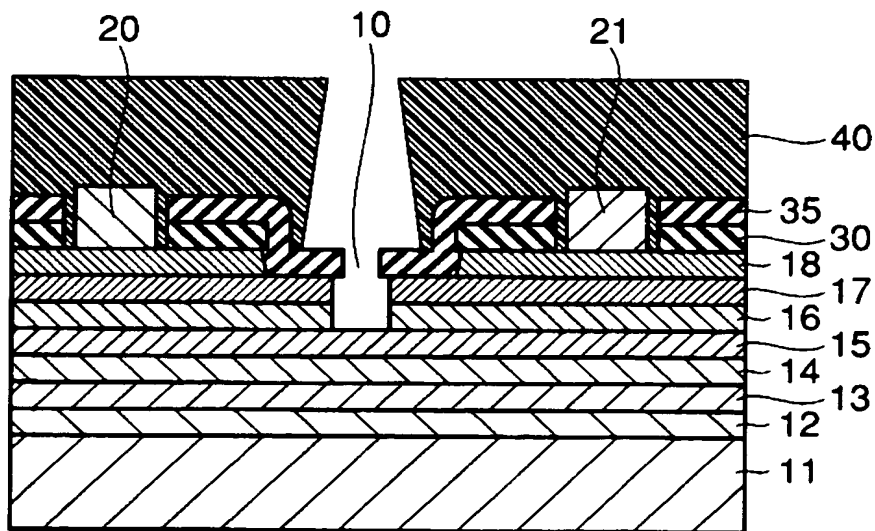
【図 17】



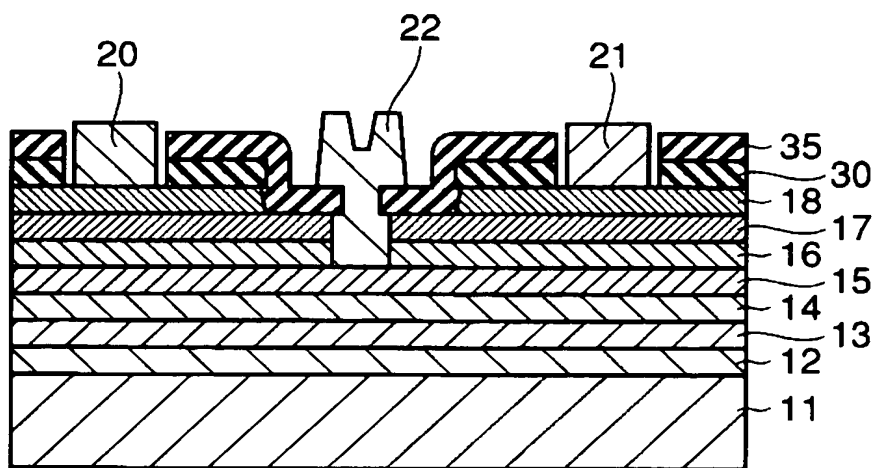
【図 18】



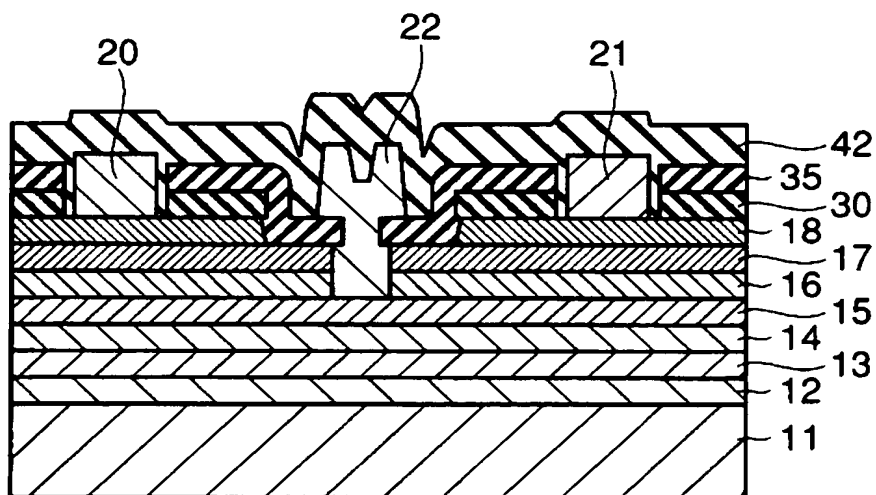
【図 19】



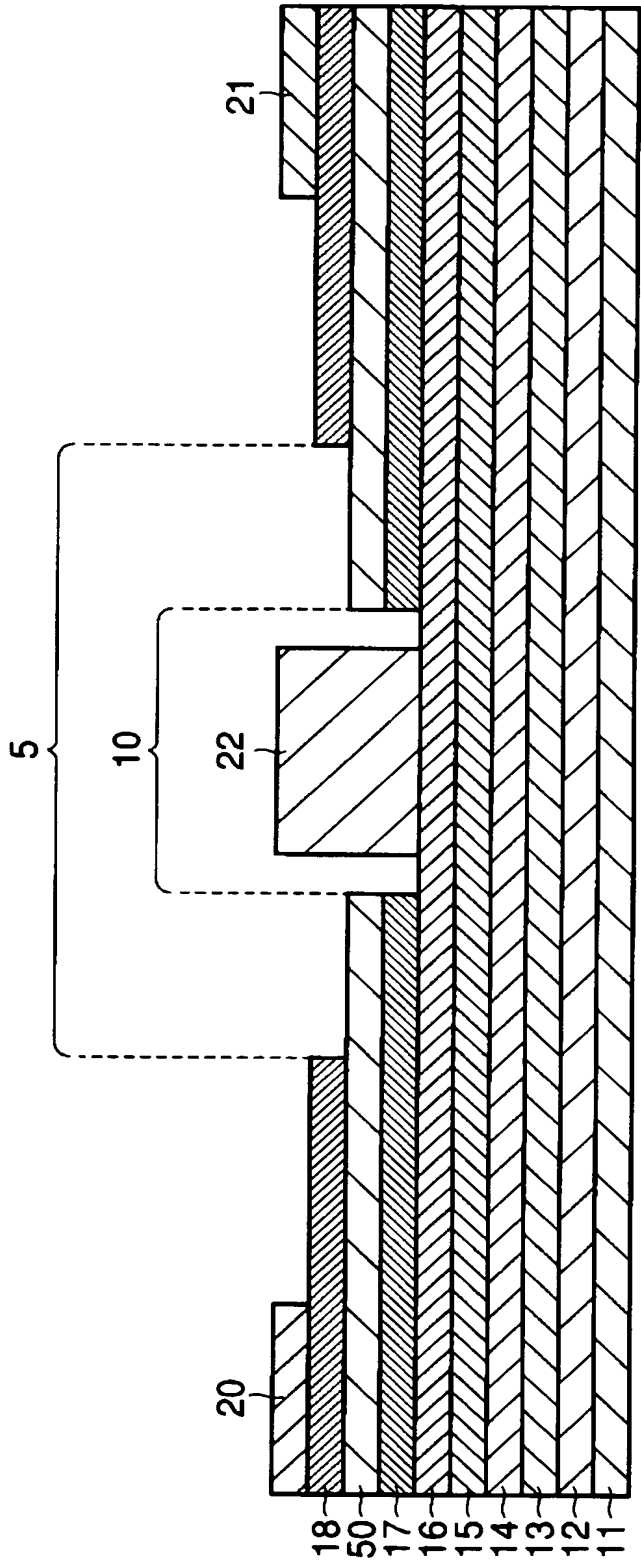
【図 20】



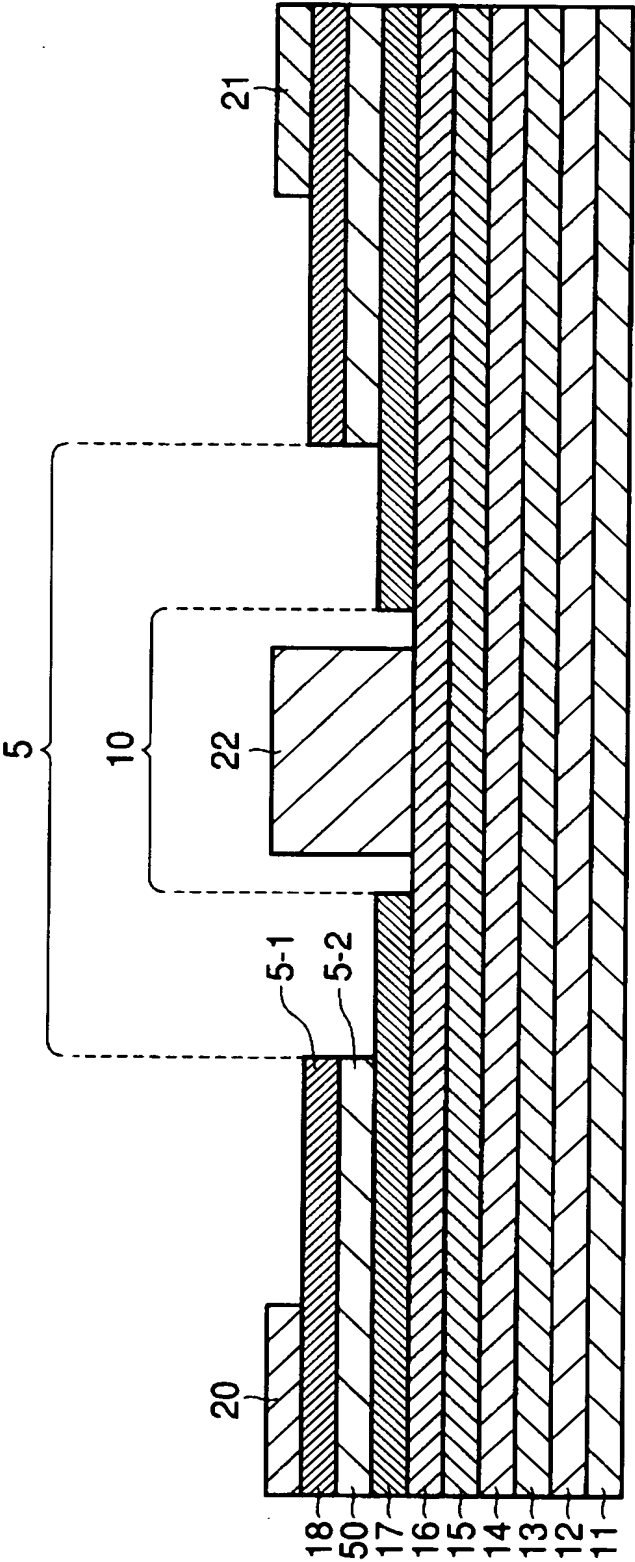
【図 21】



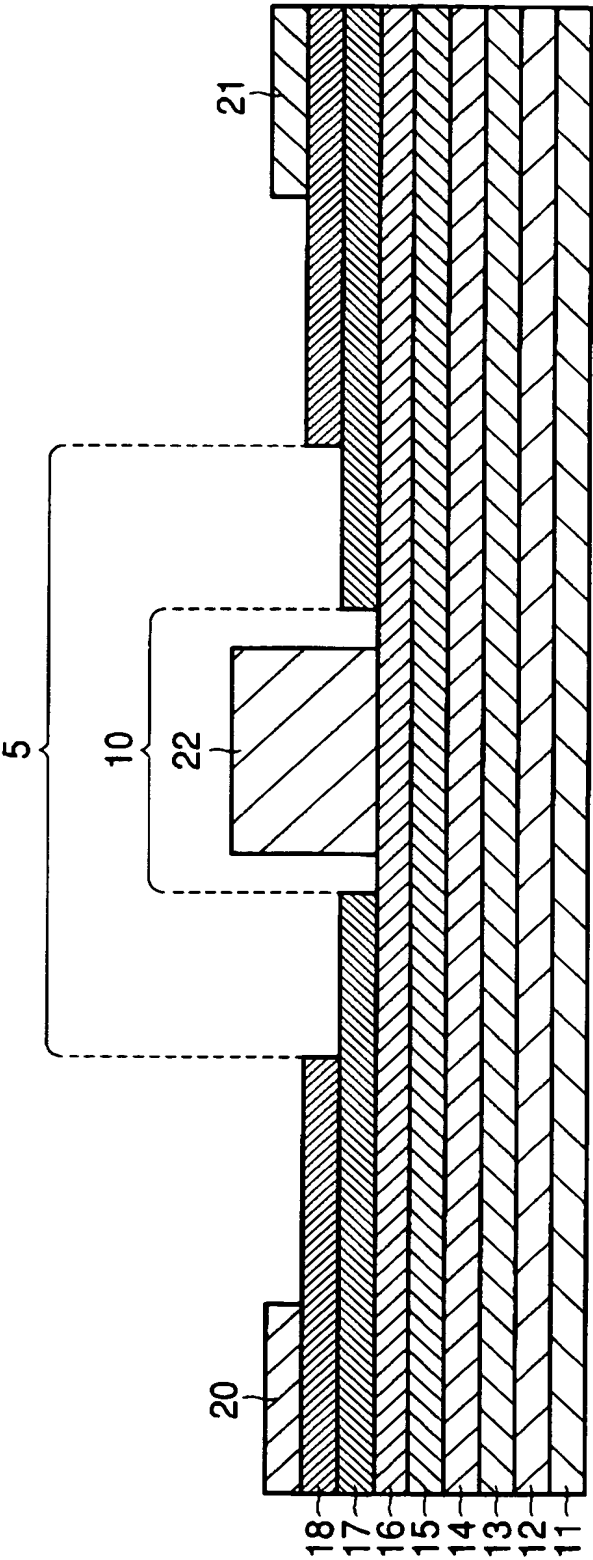
【図 2 2】



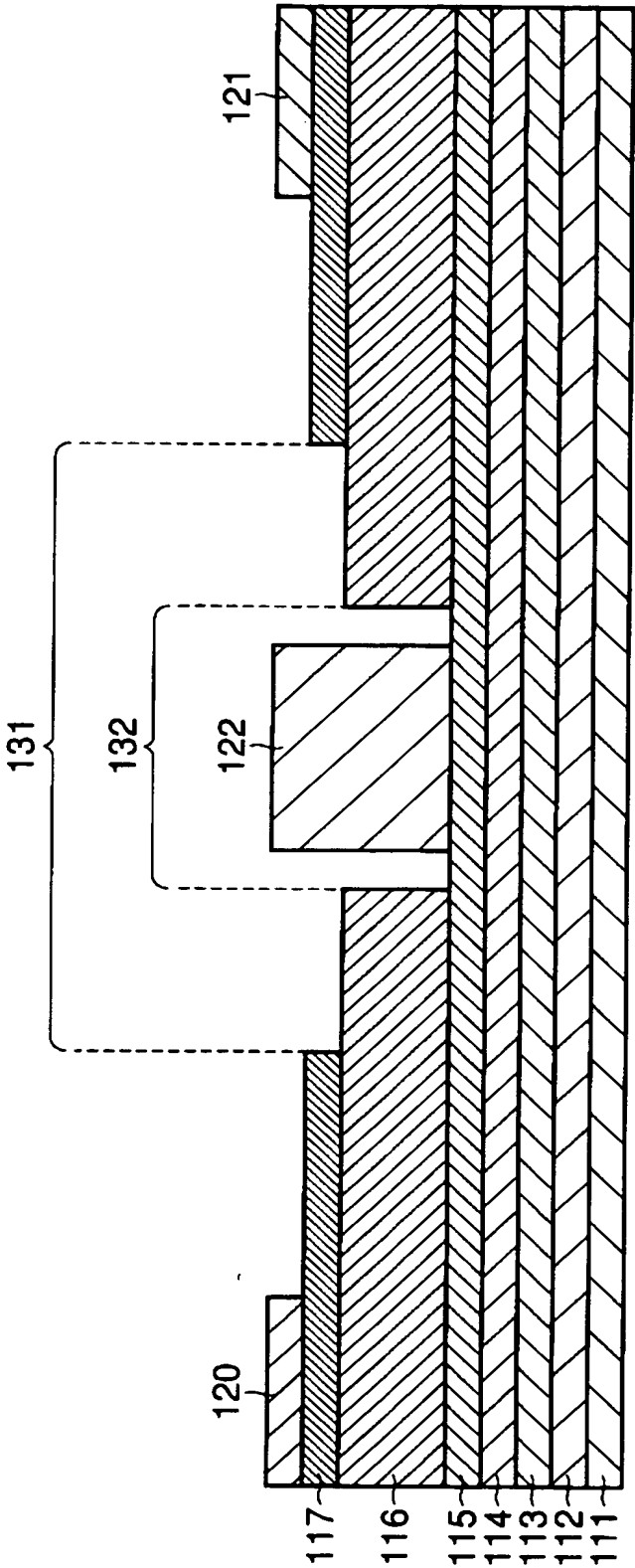
【図 23】



【図 2 4】



【図 25】





【書類名】 要約書

【要約】

【課題】 寄生抵抗を低減できるヘテロ接合型化合物半導体電界効果トランジスタを提供すること。

【解決手段】 ヘテロ接合型化合物半導体電界効果トランジスタは、化合物半導体基板 11、12、13上にチャネル層 14、第1の電子供給層 15、電界強度緩和層 16、第1のコンタクト層 17、リセスストッパ層 50及び第2のコンタクト層 18が順次積層されて構成されている。このトランジスタは、ダブルリセス構造である。そして、上記第1のコンタクト層に電子の移動度が高いn型不純物が添加されたGaAsまたはInGaAsを用い、且つ電界強度緩和層にイントリンシック型のInGaPを設けたことを特徴としている。寄生抵抗を低減でき、トランジスタの相互コンダクタンスの低下や最大ドレイン電流の低下を抑制できる。また、電界強度緩和層によってゲート電極の端部近傍の電界集中を緩和して耐圧も向上できる。

【選択図】 図1

特願 2002-358337

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝